دانشگاه سمنان

دانشکده مهندسی برق و کامپیوتر

دستور کار آزمایشگاه

مدارهای منطقی

گروه الکترونیک

فهرست:

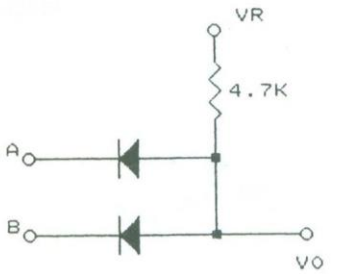
آزمایش اول- گیت‌های منطقی ۳
آزمایش دوم- آشنایی با چند نمونه مدار لاجیک و بدست آوردن پارامترهای IC ها..... ۷
آزمایش سوم – آشنایی با چند نمونه مدارهای ترکیبی (۱) ۱۷
آزمایش چهارم- آشنایی با مدارهای ترکیبی (۲) ۲۳
آزمایش پنجم- مدارهای ترتیبی ۲۴
آزمایش ششم- آشنایی با تراشه‌های شمارنده ها ۲۸
آزمایش هفتم- آشنایی با شیفت رجیسترها ۳۵
آزمایش هشتم- آشنایی با ALU ۴۰
آزمایش نهم- آشنایی با مدارهای انتقال سریال اطلاعات ۴۱
آزمایش دهم- آشنایی با مدارهای محاسباتی سریال ۴۲

آزمایش اول - گیت‌های منطقی

مقدمه: گیت های منطقی که با استفاده از ایدهٔ منطق سوئیچینگ ساخته شده اند کاربرد عینی جبربول را در سیستمهای دیجیتال نشان می دهند.

گیت های منطقی از ترکیب عناصر سادهٔ الکترونیکی نظیر دیود، مقاومت و ترانزیستور بوجود آمده اند وبا توجه به ویژگی ونوع کاری که انجام می دهند برحسب معادل منطقی شان نامگذاری شده اند که در حقیقت بیان کنندهٔ عملیات منطقی جبربول به زبان الکترونیک دیجیتال هستند. با توجه به نحوهٔ کار و راندمان وفاکتورهای فیزیکی مورد نظر، گیت های منطقی را با ترکیبات مختلف از عناصر نامبرده می توان ساخت. گیت اصلی در مدارهای مجتمع دیجیتال، NAND یا NOR می باشد که در این آزمایش به بررسی مدارهای اولیهٔ آن می پردازیم.

آزمایش ۱-۱: مداری مطابق شکل (۱-۱) ببندید بکمک آزمایش، جدول صحت فیزیکی را در حالت های زیر تشکیل دهید.



شکل (۱-۱)

الف- $V_R = 5v$ و ورودیها صفر یا $5v+$.

ب- $V_R = 0v$، ورودیها صفر یا $5v-$.

- جهت دیودها را معکوس نمائید وآزمایش را برای حالت های زیر تکرار کنید .

ج- $V_R = 0v$ و ورودیها صفر یا $5v+$.

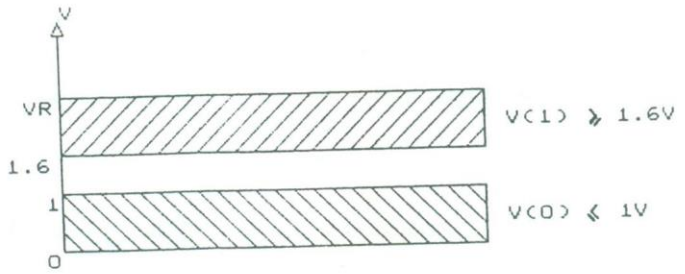
د- $V_R = -5v$ و ورودیها صفر یا $5v-$.

سوال۱- با تشکیل جدول صحت منطقی درمنطق مثبت ومنفی برای حالتهای چهارگانه فوق نوع مدار را مشخص کرده ونتیجه را در جدول (۱) یادداشت نمائید .

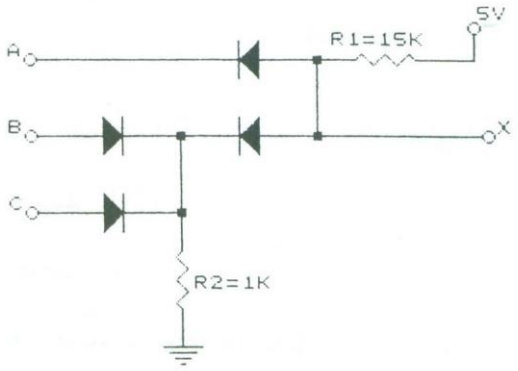
	الف	ب	ج	د
منطق منفی				
منطق مثبت				

جدول(۱)

سوال۲- در صورتیکه طرازهای منطقی مطابق دیاگرام زیر باشد حداقل مقاومت باری که گیت فوق (شکل ۱-۱) در حالت(الف)می تواند تغذیه نماید چقدراست ؟



آزمایش ۲-۱ : مداری مطابق شکل (۲-۱) ببندید :



شکل (۲-۱)

الف- به کمک آزمایش، جدول صحت فیزیکی آن را بدست آورید.

ب- مقدار $R_2 = 4/7\ k\Omega$ قرار داده و آزمایش را تکرار کنید.

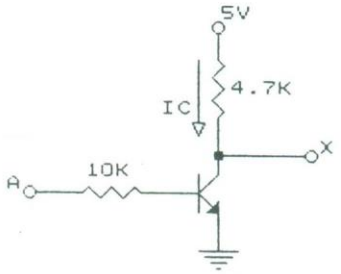
سؤال۳- در صورتیکه $0 \le V(0) \le 1\ v$ و $5\ v \le V(1) \le 2v$ باشد، با تشکیل جدول صحت منطقی درمنطق مثبت، نوع مدار ورابطهٔ منطقی (x) را در هر دو حالت الف و ب مشخص نمائید.

سؤال ۴- تاثیر مقاومت R_2 در مدار را شرح دهید. (مقایسه حالات الف و ب)

سؤال ۵- برای آنکه مدار صحیح عمل نماید رابطه ای که نسبت $\frac{R_1}{R_2}$ را معین می کند بدست آورید.

سؤال ۶- در صورتیکه در مدار فوق ($V = 0/5v$ دیود) باشد R_{2max} را بدست آورید.

آزمایش ۳-۱ : مداری مطابق شکل (۳-۱) ببندید :



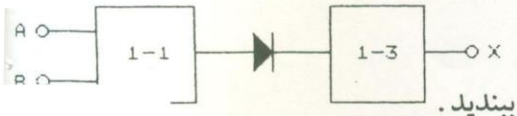
شکل (۳-۱)

الف- با استفاده از ترانزیستور Si و بکمک آزمایش، جدول (۲) را کامل نمائید.

A	x	Ic از طریق محاسبه	وضعیت ترانزیستور
+۵			
۰			
باز			

جدول (۲)

سؤال ۷- مدار فوق چه عملی را انجام می دهد؟

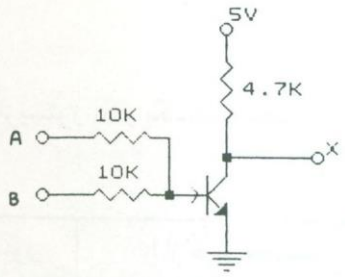


ب- مدار شکل ۱-۱ و ۳-۱ را مطابق شکل روبرو بدنبال هم ببندید.

ضمن تشریح عملکرد دیود و بدست آوردن نوع مدار آزمایش زیر را انجام دهید:

موج مربعی با فرکانس ۱۰ کیلوهرتز ودامنهٔ (۰-۵ v) به ورودی A اعمال نموده وشکل موج خروجی را برای B = +۵v ، B = ۰v و باز = B ترسیم کنید.

سؤال ۸- تابع خروجی شکل (۴-۱) را بدست آورید.



شکل (۴-۱)

آزمایش دوم- آشنایی با چند نمونه مدار لاجیک و بدست آوردن پارامترهای IC ها

مقدمه : پیشرفت سریع علم الکترونیک عامل پیدایش خانواده‌های مختلف لاجیک گردیده است که هر خانواده بنا به مدار داخلی اش دارای ویژگی‌هایی می‌باشد. بطور کلی پارامترهای مهمی که در خانواده‌های لاجیک مورد نظر می‌باشند عبارت از سرعت انتشار، ظرفیت خروجی، توان مصرفی، امنیت اغتشاش هستند. برخی از خانواده‌های لاجیک عبارتند از:

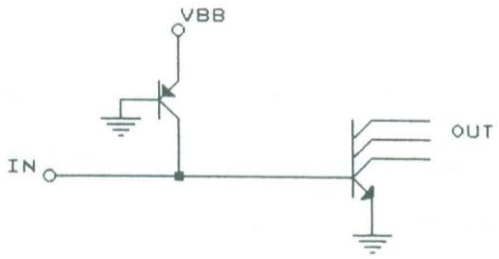
RTL= Resistor Transistor Logic.

DTL = DiodTransistor Logic HTL = High Threshold Logic.

I^2L= Integrated Injection Logic. ECL = Emitter Coupled Logic.

TTL = Transistor Transistor Logic. MOS, CMOS

RTL وDTL از خانواده های اولیهٔ لاجیک بوده و با پیشرفت وگسترش آنها، TTL بوجود آمده اند. HTL مداری نظیر DTL دارند با این تفاوت که با بهره گیری از دیودهای زنر می توان از آنها در محیط های با نویز زیاد استفاده نمود. I^2L از خانواده هایی است که اخیراً بسیار مورد استفاده قرار می گیرد ومهم ترین ویژگی آن امکان افزایش دانسیتهٔ گیت درهر IC می باشد، لهذا درتوابع LSI مورد استفاده قرارمی گیرد. شکل ۱-۲ گیت اصلی این خانواده می باشد وبکمک آن مدارها وتوابع گوناگون قابل ساخت در IC است.



شکل (۱-۲)

TTL بزرگترین و پرکاربردترین و ازنظر قیمت بهترین خانواده مدارهای لاجیک محسوب می شوند واز نظر سرعت وتوان مصرفی دارای انواع مختلف می باشند که در جدول (۱)

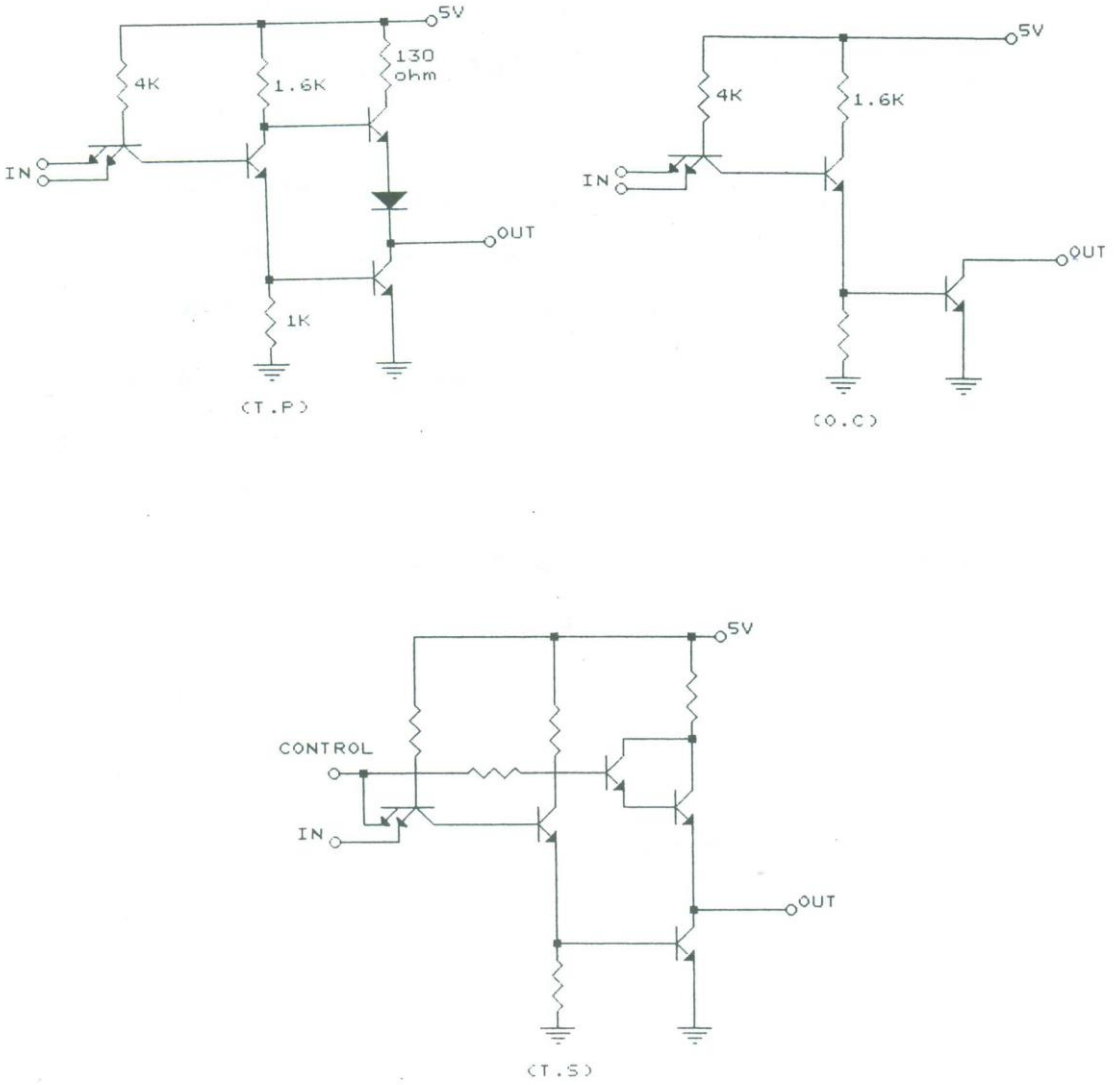
معرفی شده اند .

Name	Abreuiation	Propagation Delay (ns)	Power Dissipation Pergatemw
Standard TTL	TTL	10	10
Low power TTL	LTTL	33	1
High speed TTL	HTTL	6	22
Schottky TTL	STTL	3	19
low power - Schottky TTL	LSTTL	9.5	2

جدول (۱)

* برای یادآوری به جزوات درسی و یا کتاب Digital Design از Mano مراجعه نمائید .

درکلیه حالت های فوق خروجی گیت ها می تواند به یکی از سه فرم Totem- pole, open- collector و tri - state باشد . درشکل (۲-۲) نمونه هایی از گیتهای فوق الذکر نمایش داده شده اند .


5V
4K
1.6K
130
ohm
IN
OUT
1K
(T.P)
5V
4K
1.6K
IN
OUT
(O.C)
5V
CONTROL
IN
OUT
(T.S)

شکل (۲-۲)

مهمترین کاربرد گیت های O.C جهت تحریک لامپ یا رله و wired کردن چندین خروجی بهم و استفاده در سیستم های COMMON - BUS می باشد .

ویژگی خانواده های MOS، مصرف کم ، حجم کوچک و امپدانس ورودی بسیار زیاد می باشد .

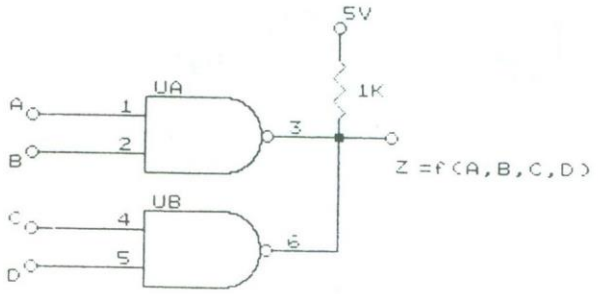
آزمایش ۱-۲- بکمک آی سی 4011 (NANDGATE) ، گیت X- OR طراحی نمائید وبا انجام آزمایش جدول صحت مدار طراحی شده را بدست آورید .

سؤال ۱- چگونه می توان با گیت NAND گیت OR ساخت؟ مدار را رسم کنید .

سؤال۲- چگونه می توان گیت EX- OR را به Buffer تبدیل کرد؟

آزمایش ۲-۲ -

الف- با استفاده از آی سی ۷۴۰۳ که NAND از نوع O.C است مدار شکل (۳-۲) را ببندید و درحالتیکه خروجی به مقاومت pull – up (۱ kΩ) وصل است، جدول صحت را بدست آورید .



شکل (۳-۲)

ب- ورودی ها را بنحوی در وضعیت مناسب قرار دهید که خروجی در وضعیت High قرار گیرد سپس مطابق جدول زیر ولتاژ خروجی را در دوحالت اندازه گیری و یادداشت نمائید. علت اختلاف را توضیح دهید.

R	V_z
۱ kΩ	
∞	

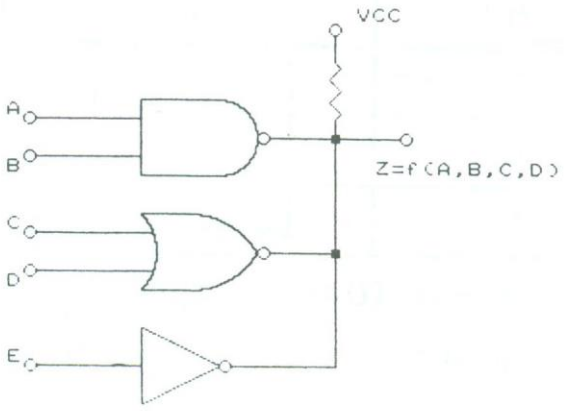
سؤال ۳- چرا در گیت های TTL معمولی با خروجی Totem pole اتصال بیش از دو گیت بصورت wired مجاز نمی باشد؟

سؤال۴- درشکل ۳-۲ رابطهٔ (D و C و B و A) Z = f را با استفاده از جدول صحت بدست آورید.

سپس رابطه بدست آمده را با استفاده از گیت های AND ، OR و NOT ترسیم کنید.

درمقایسه پاسخ سؤال با شکل (۳-۲) چه نتیجه می گیرید؟

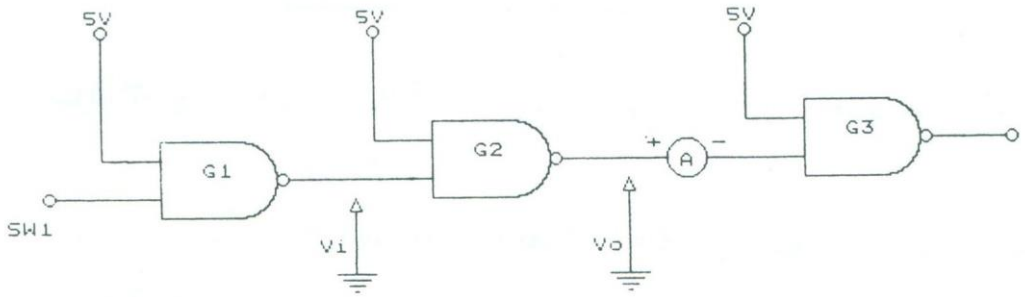
سؤال ۵- بدون انجام آزمایش رابطه Z را درشکل زیر بنویسید .



لازم به یادآوری است gate ها از نوع O.C می باشند .

آزمایش ۳-۲-اندازه گیری پارامترهای IC های T.T.L و CMOS

الف- بکمک IC های ۷۴۰۰ و ۴۰۱۱ مدار شکل (۴-۲) را بسته و بکمک آمپرمتر و ولتمتر جدول (۲) را کامل کنید . بدیهی است هدف اندازه گیری پارامترهای $G_۲$ می باشد .

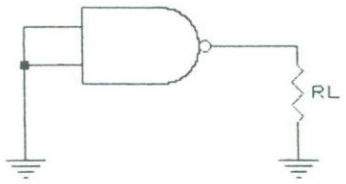


شکل (۴-۲)

نوع IC	وضعیت کلید	V_{iL}	V_{oH}	V_{iH}	V_{oL}	I_{oH}	I_{oL}
TTL	H			-	-		-
	L	-	-			-	
CMOS	H			-	-		
	L	-	-			-	

جدول (۲)

ب- با IC های فوق مدار شکل (۵-۲) بسته با تغییر مقدار R_L جدول (۳) را کامل نمائید .



شکل (۵-۲)

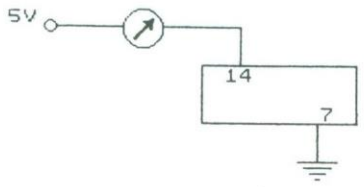
R_L	V_{out}		محاسبه I_{oH}	
	CMOS	TTL	CMOS	TTL
∞				
10kΩ				
1kΩ				
220Ω				
100Ω				

جدول (۳)

ج- R_L را در شکل (۵-۲) صفر نموده و جریان اتصال کوتاه را برای هر IC اندازه گیری نمائید. این پارامتر را سریعاً اندازه گیری کرده و آزمایش را خیلی طولانی انجام ندهید.

I_{OS} = ?

د- مدار شکل (۶-۲) را ببندید وجریان I_{CC} تغذیه لازم برای IC ها را در دوحالت اندازه گیری کنید.



شکل (۶-۲)

$I_{CC}H = ?$ (خروجی چهار گیت High)

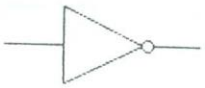
$I_{CC}L = ?$ (خروجی چهار گیت Low)

سؤال ۶- با توجه به نتایج آزمایش (۳-۲) قسمت ب، منحنی های $V_{out} = f(R_L)$ را رسم کنید.

سؤال ۷- در صورتی که گیت TTL مورد استفاده در آزمایش ۳-۲(الف) بتواند ۱۶ mA را Sink نماید ($I_{Sink(max)} = 16$ mA) مقدار Fanout این گیت را بدست آورید.

آزمایش ۴-۲- مدار شکل (۷-۲) را با IC های ۷۴۰۴ و ۴۰۶۹ بسته و به ورودی موج مربعی با فرکانس ۱۰۰ کیلوهرتز ودامنهٔ ۵ولت - ۰ اعمال نمائید وشکل موج ورودی وخروجی را مشاهده نمائید، سپس مطابق تعریف t_{PLH} و t_{PHL} را اندازه گیری کرده و درجدول زیر

یادداشت نمائید .



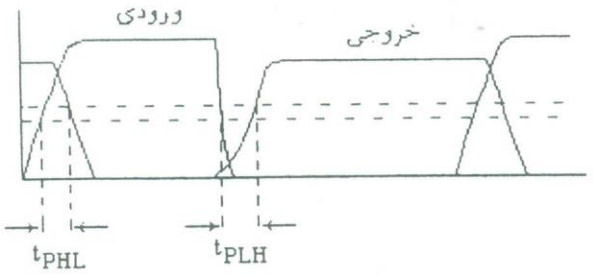
شکل (۷-۲)

t_{PLH} – تاخیر انتشار وقتی خروجی از Low به High می رود .

t_{PHL} – تاخیر انتشار وقتی خروجی از High به Low می رود .

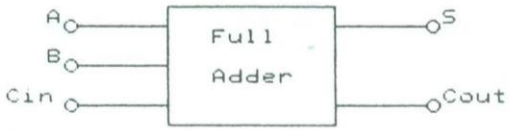
$$t_{pd} = 0/5(t_{PLH} + t_{PHL})$$

	اندازه گیری		محاسبه
نوع IC	t_{PHL}	t_{PLH}	t_{pd}
TTL			
CMOS			



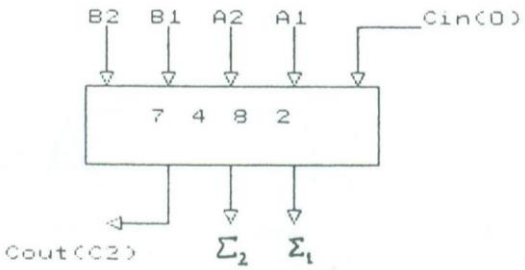
آزمایش سوم – آشنایی با چند نمونه مدارهای ترکیبی (۱)

آزمایش ۱-۳- الف - با استفاده از آی سی ۷۴۰۰ و ۷۴۸۶ یک جمع کننده کامل (شکل ۱-۳) طراحی نمائید. مدار را بسته و جدول ترکیبات آن را بوسیلهٔ آزمایش بدست آورید. شکل مدار را بطور کامل رسم نمائید.



شکل (۱-۳)

ب- IC ۷۴۸۲ یک جمع کنندهٔ کامل ۲ بیتی است. بکمک آزمایش جدول عملکرد یا Function Table این IC که مطابق جدول (۱) است را بدست آورید.



شکل (۲-۳)

Input				C_{in} =L			C_{in} =H		
$B_۲$	$B_۱$	$A_۲$	$A_۱$	$C_۲$	$\Sigma_۲$	$\Sigma_۱$	$C_۲$	$\Sigma_۲$	$\Sigma_۱$
L	L	L	L						
			⋮						
H	H	H	H						

جدول (۱)

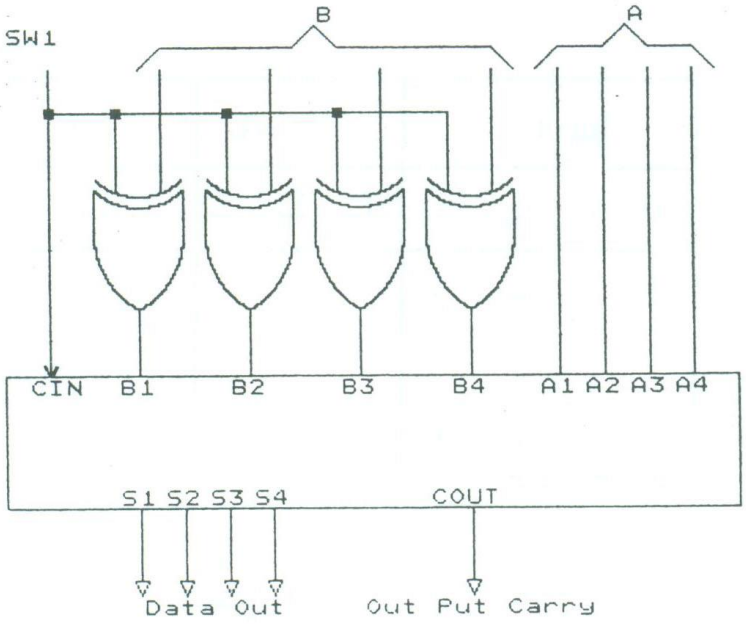
سؤال ۱- رابطه ساده شده S وC_{out} را برحسب A و B و cin در مدار شکل (۱-۳) بنویسید.

سؤال ۲- می خواهیم به کمک IC ۷۴۸۲ دو عدد اعشاری $(۴۱)_{۱۰}$ و $(۵۲)_{۱۰}$ را بصورت باینری با یکدیگر جمع کنیم. نحوهٔ اتصال را مشخص کنید. (در صورت امکان در رسم مدار، دو عدد را با دو رنگ مختلف مشخص نمائید).

ج- مدار شکل (۳-۳) یک جمع کننده وتفریق کننده مکمل ۲ می باشد کلید SW1 ، انتخاب کنندهٔ Mode می باشد.

عمل جمع SW1 = L

عمل تفریق SW1 = H



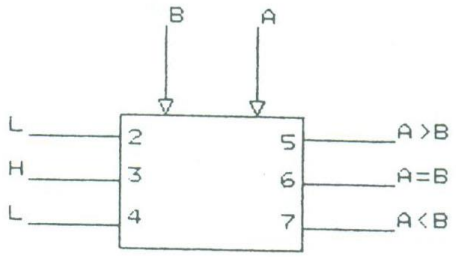
شکل (۳-۳)

نحوهٔ کار مدار رابطورکامل توضیح داده وبا استفاده از ۷۴۸۳ یک جمع کنندهٔ کامل چهاربیتی و ۷۴۸۶ آن را مورد آزمایش قرار داده و جدول (۲) را تکمیل نمائید. مقدار بیت Carry مربوط به حاصل تفریق را درهر سه حالت مورد بررسی قرار دهید.

A	B	حاصل جمع	C_{out}	حاصل تفریق	$C_{\overline{out}}$
۱۱	۸				
۵	۵				
۹	۱۴				

جدول (۲)

آزمایش ۲-۳- الف - آی سی ۷۴۸۵ یک مقایسه کنندهٔ چهار بیتی است. مدار شکل (۴-۳) را ببندید و جدول (۳) را کامل نمائید.



شکل (۴-۳)

B	A	$B_3B_2B_1B_0$	$A_3A_2A_1A_0$	G	E	L
۷	۳					
۷	۹					
۷	۷					

جدول (۳)

ب- برای مقایسهٔ اعداد بیش از چهار بیت IC های ۷۴۸۵ را بطور زنجیره ای یا Cascade بدنبال یکدیگر می بندند. برای آشنا شدن با وظیفه ورودی های Cascade قسمتی از Function- Table این IC که در جدول (۴) آورده شده است را بکمک آزمایش تکمیل نمائید. در این آزمایش اثر طبقات مجاور با تغییر وضعیت پایه های ۲ تا ۴ معین می گردد.

وضعیت ورودیها				ورودیهای Cascade			خروجیها		
A3, B3	A2, B2	A1, B1	A0, B0	A < B	A = B	A > B	G	E	L
A3 > B3	X	X	X	X	X	X			
A3 < B3	X	X	X	X	X	X			
A3 = B3	A2 > B2	X	X	X	X	X			
A3 = B3	A2 < B2	X	X	X	X	X			
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L			
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L			
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H			

جدول (۴)

سؤال ۳- با استفاده از آی سی ۷۴۰۰ (NAND) و ۷۴۰۴ (NOT) مقایسه کنندهٔ یک بیتی با حداقل گیت طرح نمائید. رابطه ساده شده G و E و L را بیان نمائید.

سؤال۴- فرض کنید نفی متغیرها موجود است. سوال ۳ را با حداقل گیت دلخواه ترسیم نمائید.

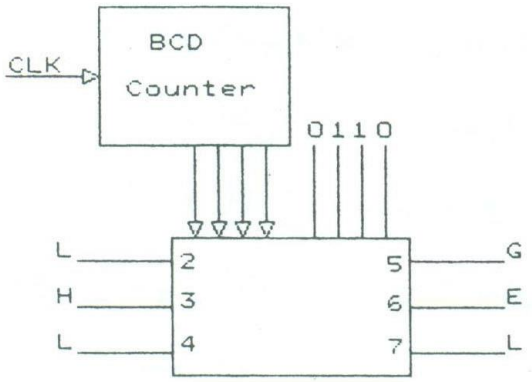
سؤال۵- با استفاده از IC ۷۴۸۵ مقایسه کنندهٔ ۸ بیتی طراحی ومدار را ترسیم نمائید. شماره بیت ها را درشکل مشخص کنید.

$A = A_{۷}.....A_{۰}$

$B = B_{۷}.....B_{۰}$

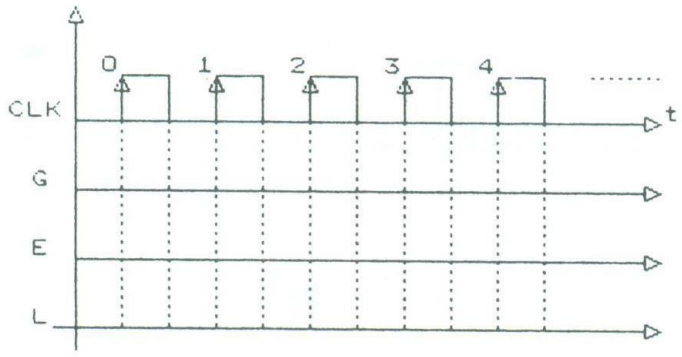
سؤال۶- درشکل (۵-۳) ورودی A بطور ثابت به عدد $A = (۶)_{۱۰} = ۰۱۱۰$ متصل شده است و ورودی B به شمارندهٔ BCD متصل است که اعداد۰ تا ۱۰ را با فرکانس ۱ هرتز مرور می کند.

۰,۱,۲,.....,۹,۰,۱,.....۹,.....



شکل (۵-۳)

با توجه به جدول (۴) شکل موجهای G و E و L را رسم کنید.

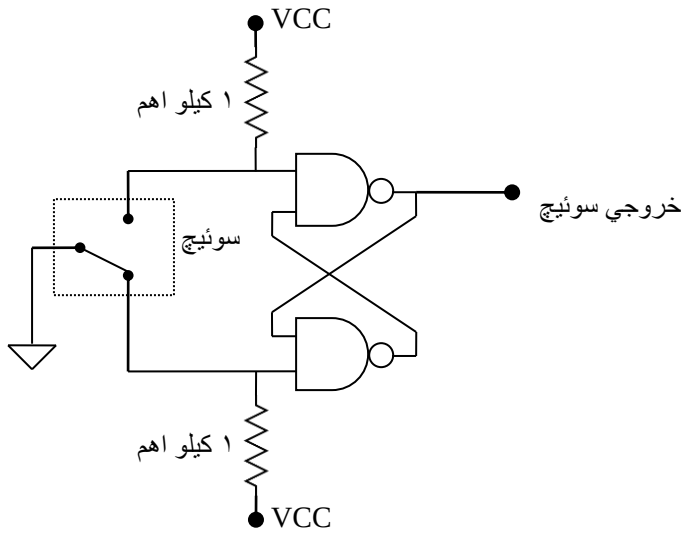


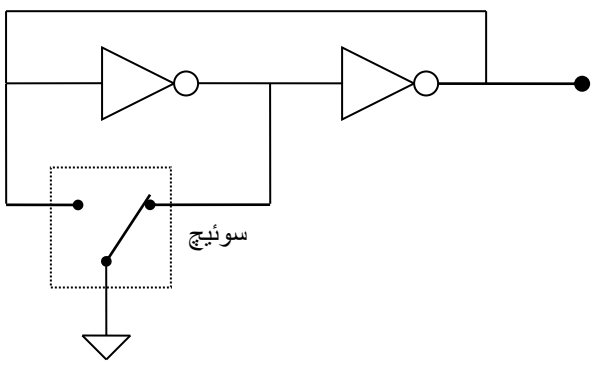
آزمایش چهارم- آشنایی با مدارهای ترکیبی (۲)

آزمایش(۱-۴) مداری طراحی کنید که دو ورودی باینری چهاربیتی را بگیرد و ورودی با مقدار بزرگتر را بر روی نمایشگر هفت قطعه‌ای نشان دهد.

آزمایش (۲-۴) مدار حذف لرزش(Debuncer)

یک کلید مکانیکی که یک سیم را به VCC ویا زمین وصل می‌کند به علت لرزش دارای bunce بوده و یک عمل قطع و وصل را چندین بار انجام می‌دهد. این عمل در مدارات منطقی مشکل‌ساز خواهد بود ولازم تا این بانس به طریقی حذف شود. برای این منظور می‌توانید از مدارهای زیر استفاده کنید. این دو مدار را بسته و امتحان نمائید.

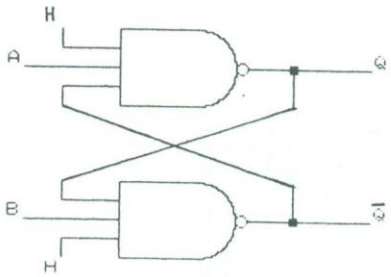




آزمایش پنجم- مدارهای ترتیبی

آزمایش (۱-۵) : آشنایی با فلیپ فلاپ SR

الف- مدار شکل زیر را که یک Latch است با ۷۴۱۰ (سه ورودی NAND) بسته و جـدول (۱) را کامل نمایید.



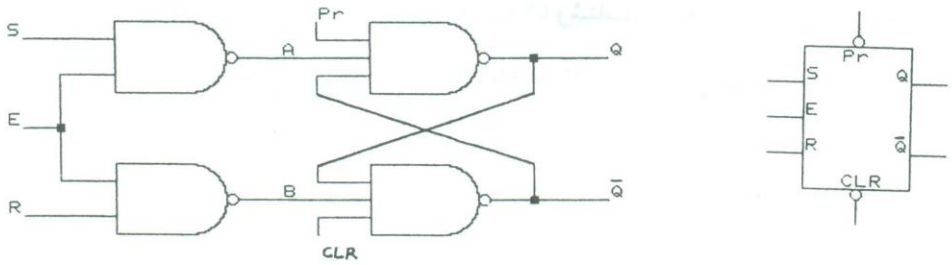
شکل (۱-۵)

A	B	Q	$\overline{Q}$
۰	۱		
۱	۱		
۱	۰		
۱	۱		
۰	۰		

جدول(۱)

تبصره مهم : در آزمایش فوق و سایر آزمایش‌هایی که باید جدلی را پر کنید، حتماً وضعیت سطرهای حدول را پی در پی و مرتب تعقیب کنید تا نتیجه صحیح بدست آید.

ب- مدار یک فلیپ فلاپ SR و با ورودی Enable را با استفاده از شکل (۱-۵) و IC۷۴۰۰ مطابق شکل (۲-۵) ببندید و کدول (۲) را کامل کنید.



شکل (۲-۵)

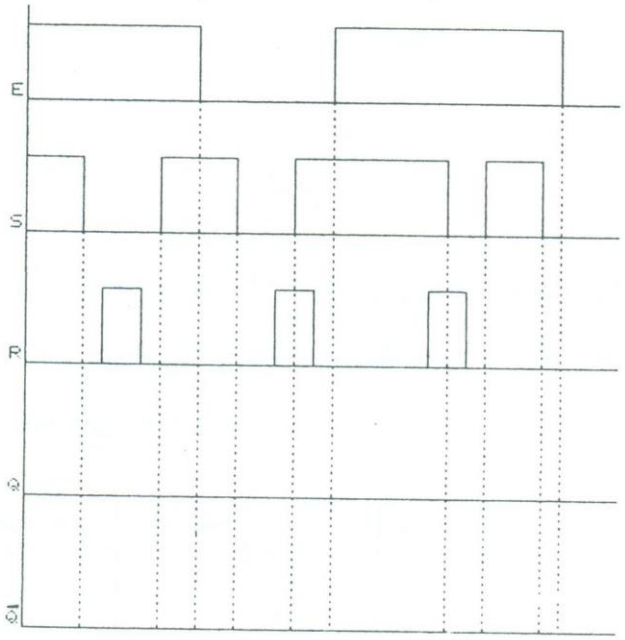
لازم بیادآوری است که درجدول (۲) منظوراز Q_{n+1} یعنی وضعیت Q پس ازتغییر وضعیت کلیدها می باشد و در ستون شرح وضعیت از کلمات "Set " و"Reset "" و" غیر مجاز " و " حفظ وضعیت قبلی " استفاده نمائید .

سطر	E	Pr	CLR	R	S	Q(n+1) $\overline{Q(n+1)}$	شرح وضعیت
1		1	1	1	0		
2		1	1	0	0		
3	H	1	1	0	1		
4		1	1	0	0		
5		1	1	1	0		
6		0	1	1	0		
7		0	1	0	0		
8		0	1	0	1		
9		0	1	0	0		
10	L	1	1	0	0		
11		1	0	0	0		
12		1	0	0	1		
13		1	0	0	0		
14		1	0	1	0		
15	H	0	0	X	X		
16		1	1	1	1		

جدول (۲)

سؤال ۱ – با توجه به نتیجه جدول (۱) بنظر شما RS- Latch چه اشکالی دارد وچه راه حلی برای رفع آن دارید.

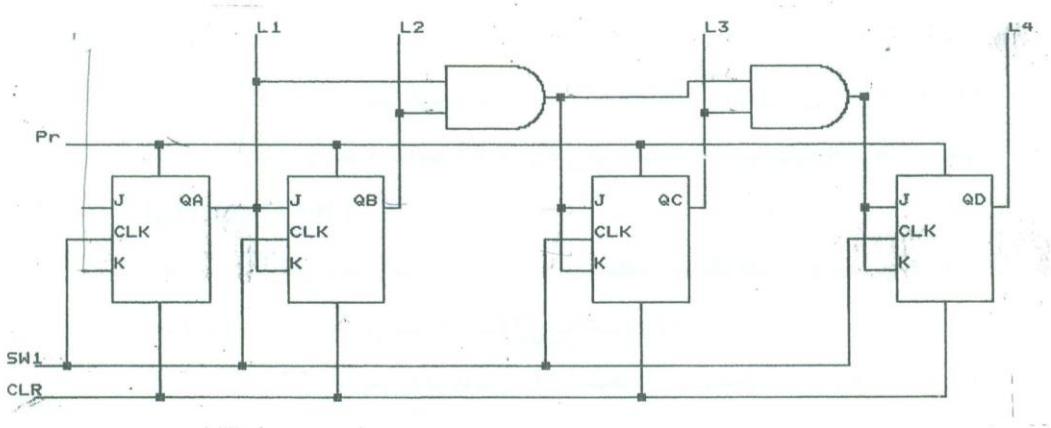
سؤال۲– با توجه به نتیجهٔ جدول(۲) وشناسایی که از وظیفه ورودی های .RS F.F بدست آورید، دیاگرام وضعیتی State Diagram زیر را کامل نمائید.



سؤال ۳– جدول (۲) را حتی الامکان خلاصه نمائید. (با سطرهای کمتر)

آزمایش (۲-۵) : با استفاده از فلیپ فلاپ نوع D، فلیپ فلاپ‌های نوع JK و T را پیاده‌سازی کنید.

آزمایش (۳-۵): مدار شمارندهٔ سنکرون بالارو را با استفاده از دو آی‌سی ۴۰۲۷ (JK FF) و 7408 (AND) مطابق شکل (۳-۵) ببندید.



شکل (۳-۵)

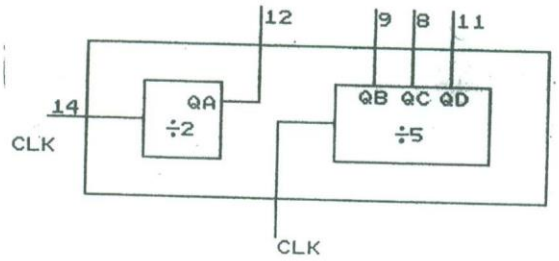
تمام .F.F ها را پاك كنيد وسپس با دادن پالس ساعت استاتيک ، خروجی .F.F ها را در جدولی نظير جدول (۱) يادداشت نمائيد .

تعداد پالس ها	Q_A	Q_B	Q_C	Q_D	معادل اعشاری
۰	۰	۰	۰	۰	۰

جدول (۳)

آزمایش ششم- آشنایی با تراشه‌های شمارنده ها

۱- آی‌سی ۷۴۹۰ یک شمارنده ripple پایه ده 4 Bit ripple Cedade counter می‌باشد. این آی‌سی از چهار JKMS FF تشکیل شده است که در داخل طوری اتصال یافته‌اند که دو قسمت تقسیم بر دو و تقسیم بر پنج را تشکیل می‌دهند و هر قسمت مطابق شکل (۱-۶) دارای پالس ساعت مستقل می‌باشند و چون خروجی ۲÷ یعنی Q_A از داخل به ورودی ۵÷ وصل نشده، لذا می‌توان از این آی‌سی به عنوان ۲÷ یا ۵÷ یا ۱۰÷ استفاده نمود.



شکل (۱-۶)

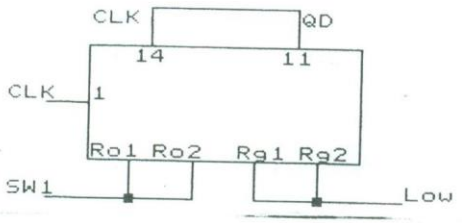
پایه های Ro(۱) و Ro(۲) و Rg(۱) و Rg(۲) ورودی های Reset شمارنده می باشد ومطابق جدول(۱) عمل می نماید.

CLK	Ro(1)	Ro(2)	Rg(1)	Rg(2)	QD	QC	QB	QA
x	H	H	L	x	L	L	L	L
x	H	H	x	L	L	L	L	L
x	x	x	H	H	H	L	L	H
↓	L	x	L	x	Count			
↓	x	L	x	L	Count			
↓	L	x	x	L	Count			
↓	x	L	L	x	Count			

جدول(۱)

آزمایش ۱-۶: الف- طرز کار قسمت ۵ ÷، آی‌سی ۷۴۹۰ را با وارد کردن پالس ساعت ۱ هرتزی مشاهده و ورودی و خروجی را با رعایت همزمانی بررسی نمایید و اتصالات مدار را مشخص کنید.

ب- خروجی Q_D را به CLK قسمت ۲ ÷ متصل نمائید (پایه ۱۱ به ۱۴) و CLK را به CLK قسمت ۵ ÷ اعمال نمائید (پایه ۱) دراینصورت شمارنده تقسیم برده متقارن خواهید داشت که از Q_A بدست می آید وبا این اتصال، خروجی ها با آمدن CLK بصورت کد Bi - Quinary تغییر خواهند کرد.



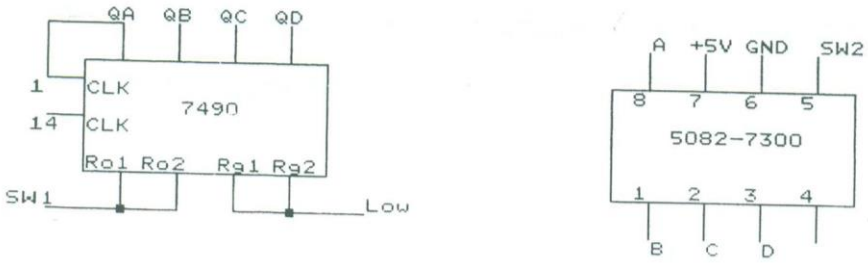
ابتدا بکمک SW_1 ، شمارنده را پاك نمائید، سپس، با دادن پالس ساعت استاتیک ، جدول (۲) را تکمیل نمائید. پالس ساعت ۱۰۰ کیلو هرتز را به ورودی CLK اعمال نمائید وخروجی Q_A را همزمان با ورودی بر روی اسیلوسکوپ مشاهده نموده وشکل موجها را رسم کنید.

تعداد پالسها	QA	QB	QC	QD
0				
1				
2				
.				
.				
10				

جدول (۲)

ج- مداری مطابق شکل (۲-۶) با استفاده از IC ۷۴۹۰ و لامپ ۷ قطعه‌ای ببندید.

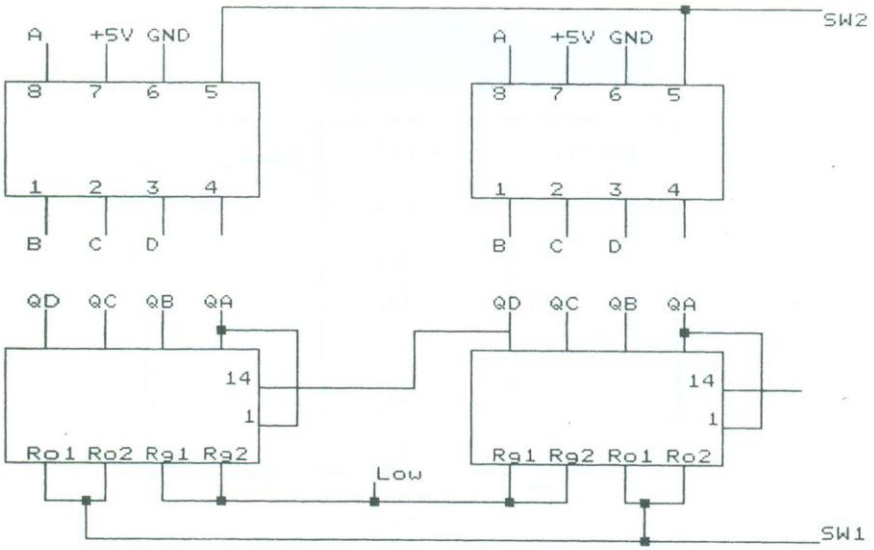
ابتدا بکمک SW_1 شمارنده را پاك نمائید، سپس با دادن پالس استاتیک ، مشخص نمائید شمارنده تا چه عددی و درچه کدی خواهد شمرد.



شکل (۲-۶)

پالس ساعت ۱۰۰ کیلوهرتز به ورودی CLK بدهید و خروجی Q_D را همزمان با ورودی بر روی اسیلوسکوپ مشاهده نموده و شکل موج ها راترسیم نمائید. (دراین حالت خروجی Q_D شمارنده را از ورودی D جدا نمائید)

تاثیر کلید SW_1 را با High و Low کردن آن مورد آزمایش قرار دهید.



شکل (۳-۶)

بدون استفاده از گیت اضافی ، درمدار تغییراتی بدهید که شمارنده تا عدد ۶۰ را بشمارد وبه محض اینکه به عدد ۶۰ رسید، شمارنده صفر شود.

سؤال ۱– با استفاده از ورودی های صفرکننده Ro(۱) ، Ro(۲) و بدون نیاز به گیت اضافی، با تکمیل جدول ۳ تعیین نمائید که ۷۴۹۰ شمارش را درچه مبناهای دیگری می تواند انجام دهد.

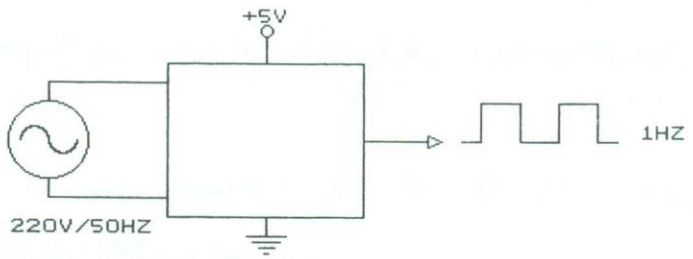
توجه نمائید که شمارش بصورت $(Q_A \quad Q_B \quad Q_C \quad Q_D)_2$ انجام می گیرد وشمارنده بصورت شمارنده BCD بسته شده است.

Ro (1)	Ro (2)	مبنای شمارش
Q_A	Q_D	
Q_D	Q_D	
Q_B	Q_C	
Q_A	Q_C	
Q_C	Q_C	

جدول (۳)

سؤال ۲- بامراجعه به کاتالوگ شکل مدار داخلی آی سی ۷۴۹۰ را بدست آورده وترسیم نمائید.

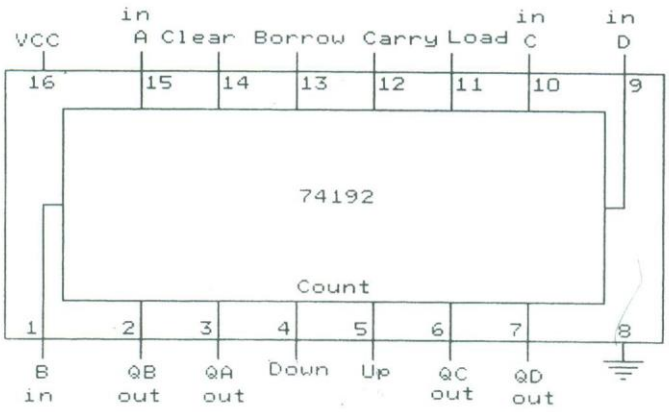
سؤال۳- چگونه می توان بکمک آی سی ۷۴۹۰ وسایر قطعات از برق شهر فرکانس ۱ هرتز مربع شکل (پالس یک هرتز) تولید نمود مدار مربوطه را رسم کنید.



۲- آی سی ۷۴۱۹۲ یک شمارنده BCD Up - Down Counter می باشد که قابل برنامه ریزی است. این شمارنده هم شمارش به بالا وهم شمارش به پایین را انجام می دهد و در صورتیکه پایه load ، low شود،

$Q_D = D$ و $Q_C = C$ و $Q_B = B$ و $Q_A = A$ خواهد شد، درنتیجه می توان عددی داخل

شمارنده قرار داده تا شمارش را از آن عدد شروع کند. اگر CLK به Count Up داده شود روبه بالا و اگر به Count Down وصل شود، روبه پایین شمارش خواهد کرد. با High نمودن ورودی Clear ، محتوی شمارنده پاك می شود، همچنین باید توجه داشت ورودی هایی که مورد استفاده نیستند در وضعیت H باشند.



آزمایش (۲-۶) : الف- با استفاده از دو آی سی ۷۴۱۹۲ و دو عدد لامپ ۷۳۰۰-۵۰۸۲ شمارنده را بصورت پائین رو از عدد ۲۵ قرار دهید. برای پالس ساعت از سیگنال ۱ هرتز استفاده نمائید. شکل مدار را با مشخص نمودن شماره پایه ها ترسیم نمائید.

ب- مدار قسمت الف را بنحوی تغییر دهید که شمارنده بصورت بالا رونده از عدد ۲۵ شمارش نماید. شکل مدار را با مشخص نمودن شماره پایه ها ترسیم کنید.

سؤال ۴- مدار کنترلی طرح نمائید که وقتی ورودی آن Low باشد، ۷۴۱۹۲ بصورت بالا رونده وهنگامی که H باشد، شمارنده بصورت پایین رونده عمل نماید.

سؤال ۵- با استفاده از ۷۴۱۹۲ وسایر گیت های مورد نیاز، مدار شمارنده ای را ترسیم

نمائید که بین ۳ تا ۸ شمارش نماید.

سؤال ۶- یک IC شمارنده ۱۴ بیتی CMOS را (۴۰۲۰) رسم و تشریح نمائید.

آزمایش هفتم- آشنایی با شیفت رجیسترها

شیفت رجیستر ترکیب سری .DF.F هاست که خروجی هریک به ورودی بعدی متصل شده است و CLK مشترکاً به تمام .F.F ها برای سنکرون کردن انتقال اطلاعات وصل می شود.
انتقال اطلاعات از ورودی یک .F.F به خروجی همان .F.F می تواند در لبهٔ بالا رونده یا پایین رونده CLK برحسب نوع .F.F انجام گیرد.
شیفت رجیسترها را می توان بر اساس:

۱. رد وبدل کردن اطلاعات بطور مثال ورودی سری خروجی سری، ورودی سری خروجی موازی.

۲. نحوهٔ انتقال اطلاعات یعنی از چپ براست یا برعکس یا درهر دو جهت.

۳. حجم اطلاعات بعنوان مثال ۴ بیتی ~~۸ بیتی~~ و...

طبقه بندی نمود.

آزمایش (۱-۷) : شیفت رجیستر ورودی سری - خروجی موازی - با استفاده از دو آی سی(D F.F.) یک مدار شیفت رجیستر ورودی سری - خروجی موازی را ببندید و بشرح زیر آن را مورد آزمایش قرار دهید.

الف- ابتدا کلیه .F.F ها را پاك کنید. سپس ورودی D اولین .F.F را به H وصل نموده وبا اعمال Static CLK جدول (۱) را تکمیل نمائید.

تعداد پالسها	Q_A	Q_B	Q_C	Q_D
۰	۰	۰	۰	۰

جدول (۱)

ب- فقط یک بیت (۱) وارد این شیفت رجیستر نموده و آن را براست منتقل نمائید و نتایج را در جدولی نظیر جدول (۱) وارد کنید.

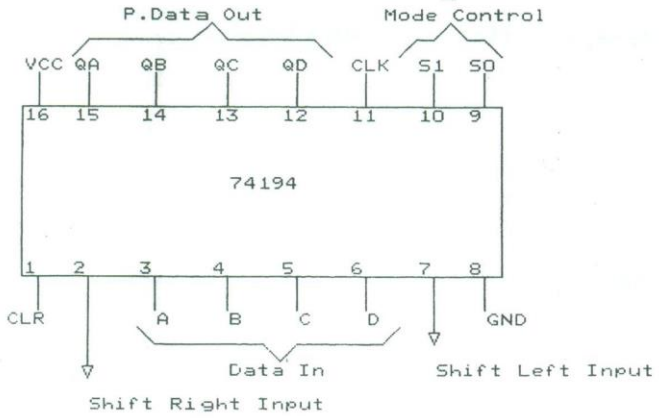
سؤال ۱ـ شیفت رجیستر ۴ بیتی با آی سی ۷۴۷۶ و ۷۴۰۴ (NOT) طرح کنید.

سؤال۲ـ انتقال اطلاعات به راست یا چپ چه کاربردی دارد؟

آزمایش (۲-۷)

شیفت رجیستر عمومی ۷۴۱۹۴ – Universal. sh. Reg یک شیفت رجیستر چهار رقمی می باشد که عمل انتقال به راست ، انتقال به چپ، ورودی موازی را انجام می دهد، باتوجه به اطلاعات مربوط به شماره پایه های IC شکل ۱-۱۰ مراحل زیر را آزمایش کنید.

الف- انتقال براست، ابتدا با Low کردن پایهٔ ۱ تمام F.F. ها را پاك کنید سپس S_1 و S_0 را دروضعیتی قرار دهید تا عمل مدار انتقال براست باشد. پایه ۲ را H نموده وتعدادی CLK استاتیک به مدار اعمال نموده وخروجیها را در جدولی نظیر جدول (۱) یادداشت کنید.



ب- انتقال به چپ، تمام .F.F ها را پاك كنيد و S_1 و S_0 را در وضعيتی قرار دهيد كه عمل مدار انتقال به چپ باشد. پايهٔ ۷ را H نموده و تعدادی CLK استاتيک به مدار داده وخروجيها را درجدولی نظير جدول (۱) يادداشت كنيد.

ج- ورودی موازی- خروجی سری، تمام .F.F ها را پاك كنيد و S_1 و S_0 را در وضعيتی قرار دهيد كه عمل انتقال موازی انجام گردد. ورودیها را برابر ABCD = ۰۱۱۰ قرار داده ويک CLK استاتيک به مدار بدهيد وخروجيها را يادداشت نمائيد. پايه های ۷ و ۲ را Low نموده وسپس اطلاعات فعلی را به مدار بدهيد وخروجيها را يادداشت نمائيد. پايه های ۷ و ۲ را Low نموده وسپس اطلاعات فعلی را به راست منتقل نمائيد و نتيجه را در جدولی نظير جدول (۱) يادداشت كنيد.

با توجه به نتايج آزمايش، جدول (۲) را كه Fn- Table آی سی ۷۴۱۹۴ است كامل كنيد. در اين جدول می توانيد از علائم H و L و X (don't care) و (لبهٔ بالا رونده يا پايين رونده) ↑ و h (وضعيت ورودیها قبل از اعمال پالس ساعت)، h_n (وضعيت خروجيها قبل از اعمال CLK)، d_n (وضعيت ورودی موازی قبل از اعمال CLK) استفاده كنيد.

Operating Mode	Inputs										Outputs			
	clock	clear	S1	S0	DSR	DSL	A	B	C	D	QA	QB	QC	QD
Reset (clear)														
Hold (do nothing)														
Shift Left														
Shift Right														
Parallel Load														

جدول (۲)

د- Ring Counter : ابتدا تمام F.F. ها را پاك كنيد، وضعيت كار IC را در حالت انتقال براست قرار دهيد و پايه ۲ را H نمائيد. پس از اعمال يک CLK استاتيک پايه ۲ را به Q_D متصل كنيد با اعمال چند CLK استاتيک خروجيها را در جدولی نظير جدول (۱) يادداشت كنيد. CLK ديناميک (۱۰۰ كيلوهرتز) به ورودی CLK داده و شكل موج خروجيهای Q_D و Q_C و ورودی را با حفظ رابطهٔ زمانی ترسيم نمائيد.

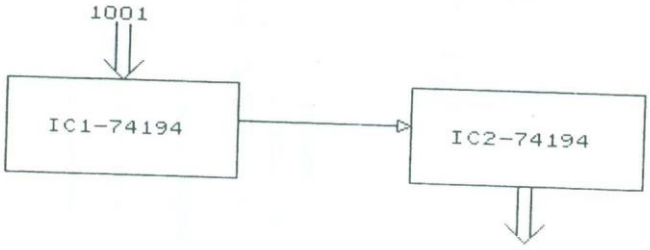
هـ- شمارندهٔ جانسون: تمام فليپ فلاپها را پاك كنيد و وضعيت كار آی سی را در حالت انتقال براست قرار داده و با استفاده از ۷۴۰۴ (NOT) $\overline{Q}_D$ را ساخته وبه پايهٔ ۲ متصل نمائيد. با اعمال چند CLK استاتيک خروجی را در جدولی نظير جدول (۱) يادداشت كنيد. با استفاده از آی سی ۷۴۰۸ (AND) خروجی $Q_A.Q_D$ را بسازيد وبمدار CLK ديناميک اعمال نموده و شكل موجهای خروجی و ورودی را با حفظ رابطهٔ زمانی رسم كنيد.

سؤال ۳- با استفاده از چهار D F.F. و چهار مالتی پلكس ۴به۱ ، مدار داخلی يک شيفت رجيستر يونيور سال نظير ۷۴۱۹۴ را ترسيم نمائيد كه دارای جدول عملكردی نظير جدول(۳) باشد.

Mode control		Register operation
S_1	S_0	
0	0	No change
0	1	Shift Right
1	0	Shift Left
1	1	Parallel load

جدول(۳)

سؤال۴- می خواهیم عدد (۱۰۰۱) را با یک پالس ساعت در IC_1 پر کرده ونتیجه را طی مراحلی درخروجیهای IC_2 داشته باشیم بامشخص کردن کامل نحوهٔ اتصال (شماره پایه ها) مراحل انجام عمل را بصورت کامل بنویسید.

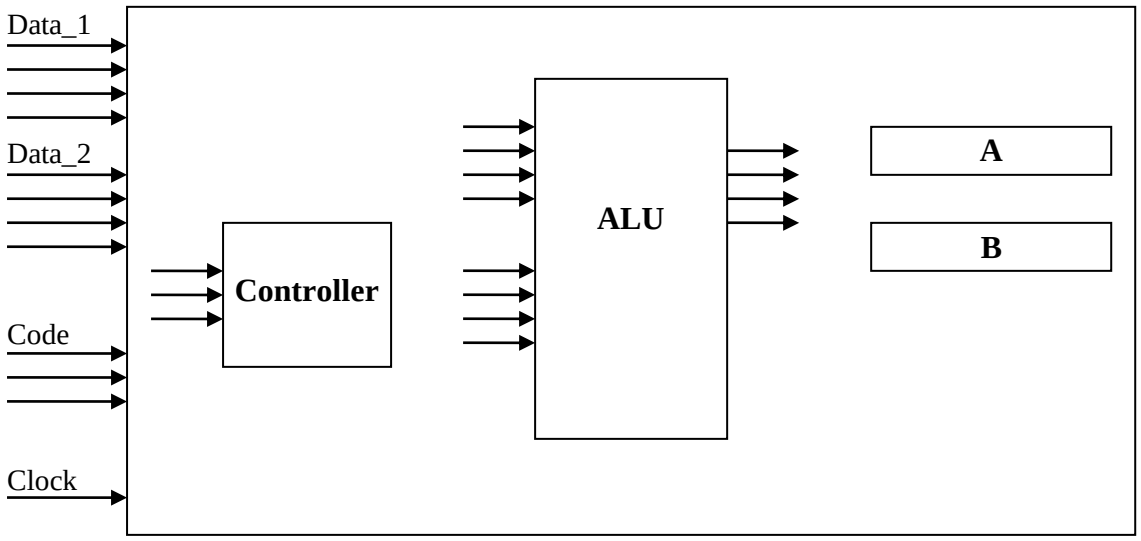


آزمایش هشتم- آشنایی با ALU

آزمایش (۱-۸): مداری ۴ بیتی را پیاده‌سازی کنید که دارای دو رجیستر A و B، یک ALU و قسمتهای کنترل‌کننده بوده به طوری که با دادن کدهای مختلف به ورودی مدار عملیات مختلف خواسته شده را انجام دهد. کدهای مربوط به عملیات مختلف و معنای هرکدام در زیر آمده است:

0	Data_1	→	A
1	Data_2	→	B
2	A′	→	A
3	ADD(A, B)	→	A
4	DEC(A)	→	A
5	A	→	B
6	(A⊕B)′	→	A
7	0	→	A

دقت داشته باشید که بخش کنترل‌کننده که سیگنالهای کنترلی را برای ALU و رجیسترها تولید می‌کند کاملاً به صورت ترکیبی و بدون نیاز به کلاک پیاده‌سازی می‌گردد.



آزمایش نهم- آشنایی با مدارهای انتقال سریال اطلاعات

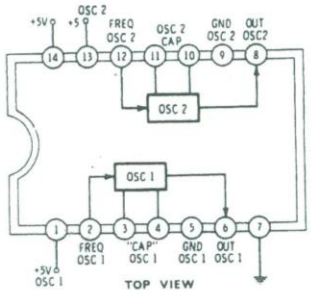
آزمایش (۱-۹): مداری پیاده‌سازی کنید که به کمک آن ابتدا یک عدد ۸ بیتی در یک رجیستر ذخیره شده، سپس به صورت سریال به طرف گیرنده فرستاده شود و طرف گیرنده آن را در یک رجیستر ذخیره کند. مدار باید با فشردن یک کلید شروع به کار کند و خود به خود متوقف شود.

آزمایش دهم- آشنایی با مدارهای محاسباتی سریال

آزمایش (۱-۱۰) : یک جمع‌کننده سریال ۴ بیتی را پیاده‌سازی کنید. این مدار باید پس از فعال شدن سیگنال start ابتدا ورودی‌های A و B را دریافت کرده و پس از محاسبه حاصل جمع سیگنال خروجی ready را فعال کند. همچنین مدار باید قادر باشد مقدار حاصل جمع و سیگنال خروجی ready را تا فعال شدن بعدی سیگنال start نگهداری کند.

MC4024
(74424)

DUAL VOLTAGE-CONTROLLED ASTABLE



TOP VIEW

Contains two independent voltage-controlled oscillators. In fixed-frequency mode, a capacitor is connected across the Cap terminals and the Freq input is connected to +5 volts.

In variable-frequency mode, a capacitor is connected across the Cap terminals and the Freq input is connected to a bypassed variable voltage from +3 to +5 volts. A 3:1 frequency change can be obtained.

In a crystal mode, a crystal replaces the capacitor and the Freq input is connected to +5 volts. Crystals in the range of 3 to 20 megahertz work best. Lower-frequency crystals may need additional padding or phase shift.

Capacitor size (nominal) is determined by $C = 300/f$ where C is in microfarads and f is in hertz.

Output can drive ten TTL loads.

Note that there are three supply terminals and three ground terminals. All must be connected if both oscillators are used.

The separate supplies are handy to decouple oscillators to minimize interaction. The separate grounds may be used to gate the oscillators on and off. Gating via the positive supply is not possible.

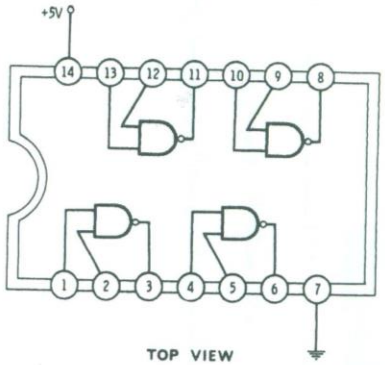
Maximum operating frequency ..... 25 megahertz

Package current requirements ..... 37 milliamperes

NOTE: This is a MTTL device; not to be confused with CMOS 4024 counter.

7400

QUAD 2-INPUT NAND GATE



TOP VIEW

All four positive-logic NAND gates may be used independently. On any one gate, when *either* input is *low* the output is driven *high*. If *both* inputs are *high* the output is *low*.

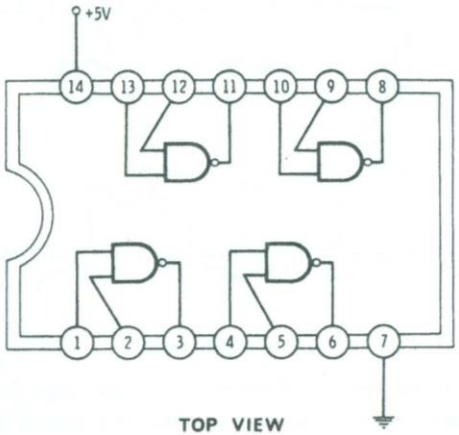
Propagation delay ..... 10 nanoseconds average

Current per package ..... 12 milliamperes average

ضمیمه :

7403

QUAD 2-INPUT NAND GATE
(Open-Collector Output)



TOP VIEW

All four positive-logic NAND gates may be used independently. On any one gate, with *either* input *low*, the output is driven to an *open circuit*. When both inputs are high, the output is *low*. An output-high state can be obtained only by adding an external resistor, usually 2.2K, from output to +5 volts.

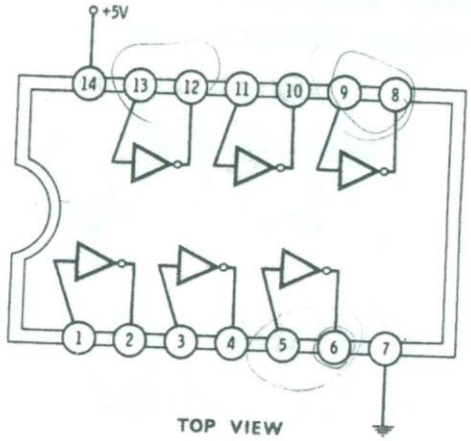
The pinouts on the 7403 are identical to the logically similar 7400. The circuitry is identical to the 7401. Note that this is a NAND gate, not a NOR gate.

Propagation delay ..... 8 nanoseconds to output low,
35 nanoseconds to open circuit

Current per package ..... 8 milliamperes average

7404

HEX INVERTER



TOP VIEW

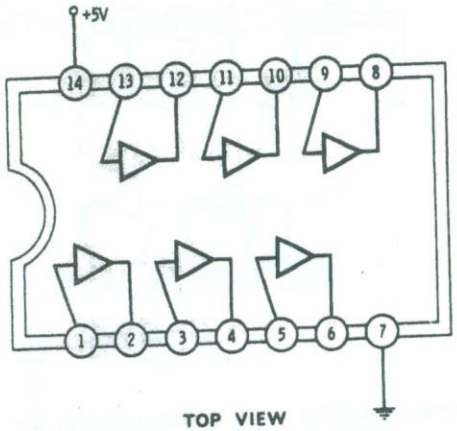
All six inverters may be used independently. On any one inverter, the *low*-input condition drives the output *high*. The *high*-input condition drives the output *low*.

Propagation delay ..... 10 nanoseconds average

Current per package ..... 12 milliamperes average

7407

HEX DRIVER, NONINVERTING
(Open Collector to 30 Volts)



TOP VIEW

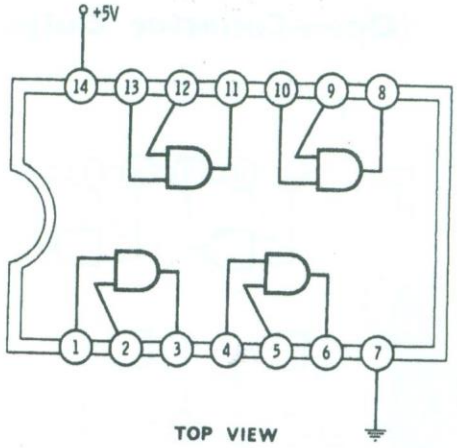
All six noninverting drivers may be used independently. On any one driver, the *low*-input condition drives the output *low*. The *high*-input condition drives the output to an *open circuit*. In the low state, the circuit can sink 30 milliamperes. In the output-high condition, the output can withstand 30 volts. An output-high state can be obtained only by adding an external resistor to some positive voltage less than 30 volts. Note that the *supply* voltage remains at +5 volts.

Propagation delay ..... 6 nanoseconds to output high,
20 nanoseconds to output low

Current per package ..... 25 milliamperes average

7408

QUAD 2-INPUT AND GATE



TOP VIEW

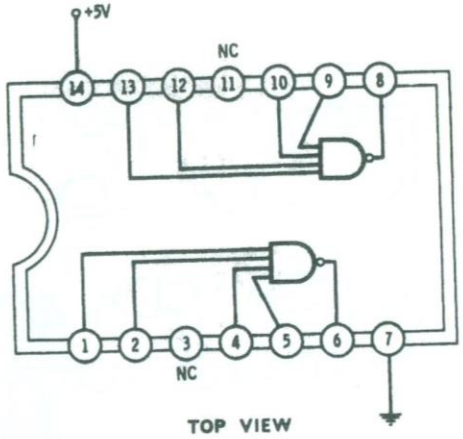
All four positive-logic AND gates may be used independently. On any one gate, when *either* input is *low*, the output is *low*. When both inputs are *high* the output is *high*.

Propagation delay ..... 15 nanoseconds average

Current per package ..... 16 milliamperes average

7420

DUAL 4-INPUT NAND GATE



TOP VIEW

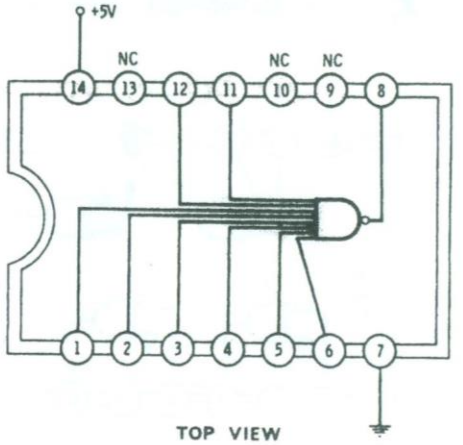
Both 4-input gates may be used independently. On either gate, *any* input-*low* condition drives the output *high*. When *all* inputs are high, the output is low.

Propagation delay ..... 10 nanoseconds typical

Current per package ..... 4 milliamperes average

7430

8-INPUT NAND GATE



TOP VIEW

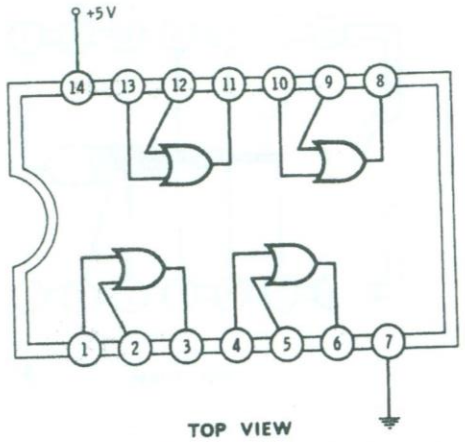
There is only a single gate per package. *Any* input-*low* condition drives the output *high*. When *all* inputs are *high* the output is *low*.

Propagation delay ..... 10 nanoseconds typical

Current per package ..... 2 milliamperes average

7432

QUAD 2-INPUT OR GATE



TOP VIEW

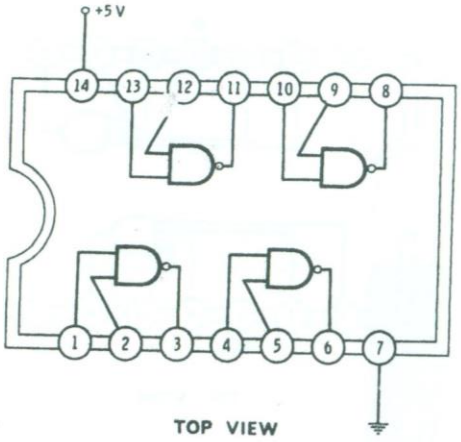
All four positive-logic OR gates may be used independently. On any one gate, when *either* input is *high*, the output is driven *high*. When *both* inputs are *low* the output is *low*.

Propagation delay ..... 12 nanoseconds average

Current per package ..... 19 milliamperes

7437

QUAD 2-INPUT NAND BUFFER



TOP VIEW

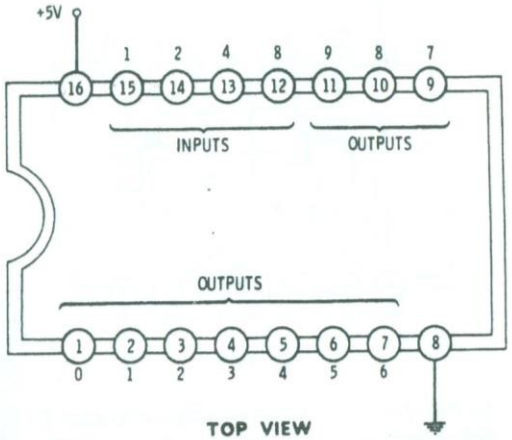
All four positive-logic NAND buffers may be used independently. On any one buffer, when either input is *low*, the output is *high*. When *both* inputs are *high* the output is *low*.

Any output can drive 30 TTL inputs. Thus the 7437 has three times the drive capability of an ordinary quad gate such as the 7400.

Propagation delay ..... 11 nanoseconds average

Current per package ..... 5 milliamperes, all outputs high,
34 milliamperes, all outputs low

BCD TO 1-OF-10 DECODER/DRIVER
(30-Volt, 80-mA Output)



TOP VIEW

This package accepts a 1-2-4-8 Binary Coded Decimal (BCD) input code and provides a *grounded* output for the selected state. All other outputs remain an open circuit. For instance, a 0111 input or "1" = 1, "2" = 1, "4" = 1, and "8" = 0 gives output line No. 7 a *low* state; all others remain open circuited.

Outputs can sink up to 80 milliamperes in the low state and withstand up to 30 volts in the off state. An output-high condition can only be obtained by a resistor or lamp load pulling up to some voltage less than 30. Note that the *supply* voltage for this package must be +5 volts.

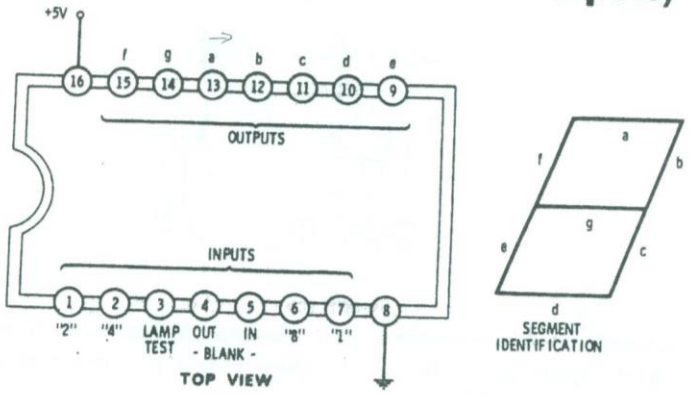
The package can serve as a binary to 1-of-8 decoder by grounding pin No. 12.

Slight settling glitches and overlaps during address (input) changes are possible. Any input code over 1001 sends all inputs to the *open-circuit* condition.

Propagation delay ..... 45 nanoseconds

Current per package ..... 43 milliamperes

BCD TO 7-SEGMENT DECODER-DRIVER
(Low = on, 40-mA, 30-Volt Outputs)



This package accepts a 1-2-4-8 positive-logic Binary Coded Decimal input and converts it to the proper pattern to light a 7-segment display. A *low* output is intended to light the segment.

The outputs can sink 40 milliamperes in the low state and can withstand 30 volts in the high state. Note that the *supply* must remain at +5 volts. An output-high state can be obtained only if a display device or resistor pulls the output to some positive voltage less than 30 volts.

Current-limiting resistors, typically 330 ohms, must be used when drving a light emitting diode display with this package. Incandescent or fluorescent readouts can be directly driven.

The Lamp Test input should remain high. Bringing the Lamp Test to ground simultaneously brings all the outputs to ground.

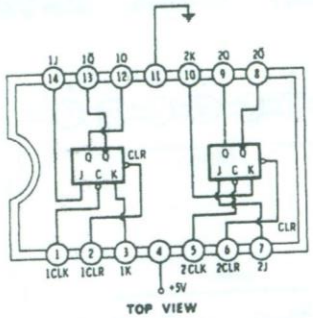
A low on the Blanking *input* will extinguish only character "0." A low on the Blanking output is provided to extinguish the character "0" of the next stage if leading-edge blanking is desired.

A low on the Blanking *output* will extinguish the display. It is permissible to short this output to ground.

Propagation delay ..... 45 nanoseconds

Current per package ..... 43 milliamperes

DUAL JK LEVEL-TRIGGERED FLIP-FLOP
(With Preclear Only)



TOP VIEW

Contains two independent level-clocked JK flip-flops. Note the unusual supply connections. The same circuit in more normal supply pinouts is the 74107.

This is a clocked logic block and is covered in detail in Chapter 5. There are two outputs: Q, and its complement $\overline{Q}$.

Under certain input conditions, Q and $\overline{Q}$ can change whenever the Clock input goes to a low level. The Q and $\overline{Q}$ outputs do not change for a change in the J and K inputs; the only time they can change is as the input clock goes to a low level.

If J and K are grounded, the clock does *nothing*. If J and K are made positive, the clock changes the output states on Q and $\overline{Q}$, or *binarily divides*. If J is high and K is low, clocking makes Q high and $\overline{Q}$ low. If J is low and K is high, clocking makes Q low and $\overline{Q}$ high.

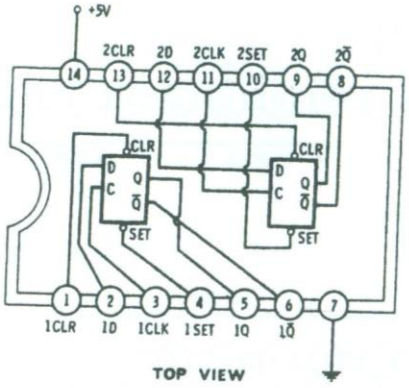
Information on the J and K inputs can be changed only once, immediately after clocking. Further changes can bring about invalid operation (See Chapter 5). The clock must be conditioned to drop only once and then very rapidly.

The Clear input should be left or tied positive for normal operation. If the Clear input is grounded, the flip-flop immediately goes or stays in the state with the Q output low and the $\overline{Q}$ output high.

Maximum toggle frequency ..... 20 megahertz

Current per package ..... 20 milliamperes

DUAL D EDGE-TRIGGERED FLIP-FLOP
(With Preset and Preclear)



TOP VIEW

Contains two independent positive-edge-clocked D flip-flops. This is a clocked logic block and is covered in detail in Chapter 5. There are two outputs: Q, and its complement $\overline{Q}$.

The information presented to the D input goes on to the Q output whenever the clock input changes from a low to a high level. The *only* time the output can change is when the clock goes positive; changes on the D input are not passed on if the circuit is not clocked.

If D is high, on clocking, Q goes high and $\overline{Q}$ goes low. If D is low, on clocking, Q goes low and $\overline{Q}$ goes high.

Information on the D input can be changed at any time. It is only its value at the instant of the positive clock edge that matters; this is what is entered into the flip-flop.

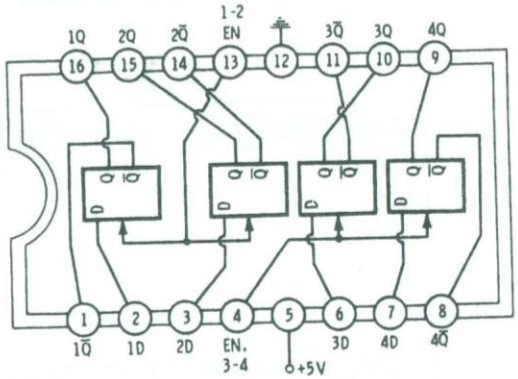
The Clear and Set inputs should be left or tied positive for normal operation. If the Clear input is grounded, the flip-flop *immediately* goes into the state with Q low and $\overline{Q}$ high. If the Set input is grounded, the flip-flop *immediately* goes into the state with Q high and $\overline{Q}$ low. Set and Clear should *never* be simultaneously grounded or a disallowed state will result.

Maximum toggle frequency ..... 25 megahertz

Current per package ..... 17 milliamperes

7475

QUAD LATCH (Level-Sensitive)



TOP VIEW

This package contains four memory elements. Note the unusual supply connections.

The memories are controlled in pairs with an *Enable* control. If the Enable control is high, the memories *follow* the input, thereby providing the input signal at Q and the complement of the input at $\overline{Q}$. A low at the D input appears as a low at Q and a high at $\overline{Q}$.

For use as a quad storage latch, both Enables are paralleled. Enable-high follows the input. Enable-low holds the previous value.

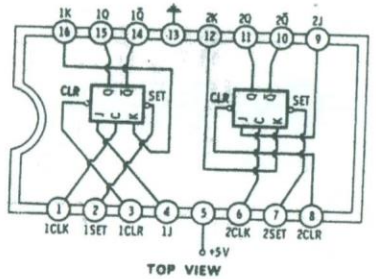
Note that this is *not* a clocked system and cannot be used as a shift-register element. Stages cannot be cascaded.

Propagation delay ..... 24 nanoseconds typical

Current per package ..... 32 milliamperes

7476

DUAL JK LEVEL-TRIGGERED FLIP-FLOP (With Preset and Preclear)



TOP VIEW

Contains two independent level-clocked JK flip-flops. Note the unusual supply connections.

This is a clocked logic block and is covered in detail in Chapter 5. There are two outputs: Q, and its complement $\overline{Q}$.

Under certain input conditions, Q and $\overline{Q}$ can change whenever the Clock input goes to a low level. The Q and $\overline{Q}$ outputs do not change for a change in the J and K inputs; the only time they can change is as the input clock goes to a low level.

If J and K are grounded, the clock does *nothing*. If J and K are made positive, the clock changes the output states on Q and $\overline{Q}$, or *binarily divides*. If J is high and K is low, clocking makes Q high and $\overline{Q}$ low. If J is low and K is high, clocking makes Q low and $\overline{Q}$ high.

Information on the J and K inputs can be changed only once immediately after clocking. Further changes can bring about invalid operation (see Chapter 5). The clock must be conditioned to drop very rapidly per desired operation.

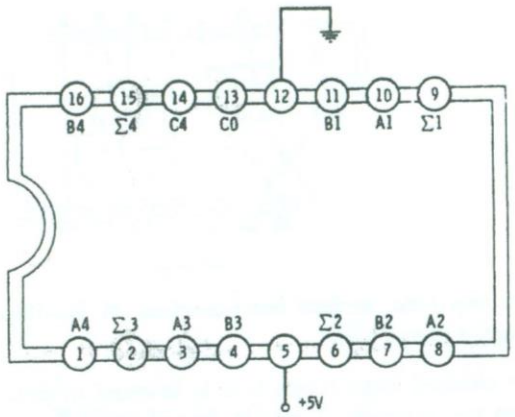
The Clear and Set inputs should be left, or tied positive for normal operation. If the Clear input is grounded, the flip-flop *immediately* goes into the state with Q low and $\overline{Q}$ high. If the Set input is grounded, the flip-flop *immediately* goes into the state with Q high and $\overline{Q}$ low. Set and Clear should *never* be simultaneously grounded, or a disallowed state will result.

Maximum toggle frequency ..... 20 megahertz

Current per package ..... 20 milliamperes

7483

4-BIT FULL ADDER



TOP VIEW

This is an arithmetic unit that provides the sum of two 4-bit binary numbers. Note the unusual supply connections.

The *A* number is weighted A1 = 1, A2 = 2, A3 = 4, A4 = 8 and is used as one input.

The *B* number is weighted B1 = 1, B2 = 2, B3 = 4, B4 = 8 and is used as a second input.

The sum of these two numbers, A and B, appears as Σ1 = 1, Σ2 = 2, Σ3 = 4, and Σ4 = 8.

If the answer exceeds decimal 15 (binary 1111), a 1 also appears on the C4 line as a Carry Output.

When used only with 4-bit numbers, the C0 input should be grounded. When used as the upper 4 bits on an 8-bit number, the C0 input is connected to the C4 output of the previous (less significant) four stages.

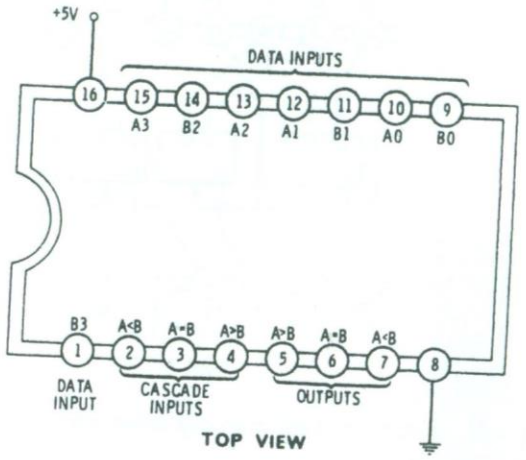
Positive logic with 1 being at high level is used.

Propagation delay ..... 16 nanoseconds typical per package

Current per package ..... 60 milliamperes average

7485

4-BIT MAGNITUDE COMPARATOR



TOP VIEW

This package compares two 4-bit words and provides an output indicating whether they are equal or which is larger.

Usually the input data words to be compared are weighted A1 = 1, A2 = 2, A3 = 4, and A4 = 8, while the second word is weighted B1 = 1, B2 = 2, B3 = 4, and B4 = 8.

If only 4-bit words are being compared, the A = B Cascade input should be wired *high*. The A > B and A < B Cascade inputs should be *grounded*.

If the two words are equal, the A = B goes high. If A > B, the A > B output goes high. If A < B, the A < B output goes high. Thus, a high state appears at the proper output; the other two remain low.

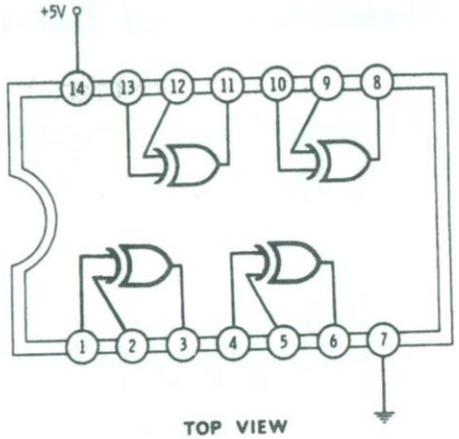
To work with 8-bit words, the outputs of the first 4-bit comparison (least significant bits) are connected to the Cascade Inputs of the second stage. The final answer appears as the outputs of the most significant 4-bit comparator, with the proper output going high.

Propagation delay ..... 23 nanoseconds

Current per package ..... 55 milliamperes

7486

QUAD EXCLUSIVE-OR GATE



TOP VIEW

The package contains four independent EXCLUSIVE-OR gates. They may be used separately.

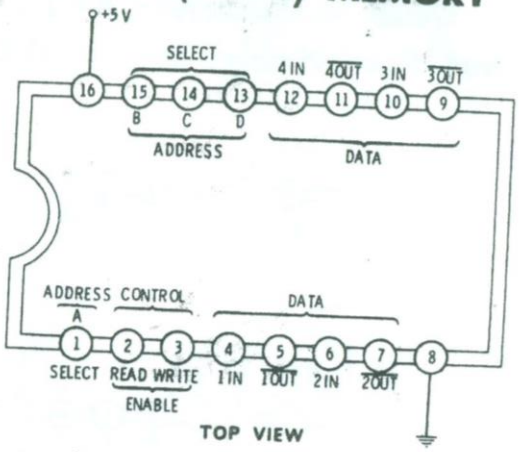
On any one gate, when one, *but not both, inputs are high,* the output is *high.* When *both inputs are high* or *both inputs are low,* the output is *low.*

Propagation time ..... 18 nanoseconds

Current per package ..... 30 milliamperes

7489

64-BIT (16 × 4) MEMORY



TOP VIEW

This package contains a memory arranged as sixteen different words of four bits each. It keeps its internal information as long as power is applied.

To place information in the memory, a 4-bit word is placed on the 1 In, 2 In, 3 In, and 4 In lines. This is the information to be stored. Next, a *location* in the memory is selected by using Select or Address lines A, B, C, D. These are binarily weighted A = 1, B = 2, C = 4, D = 8. The Write Enable line is then brought low to enter the data. Information that was in the four storage locations corresponding to the selected address is destroyed. The Write Enable line is left high unless new information is to be entered in the memory.

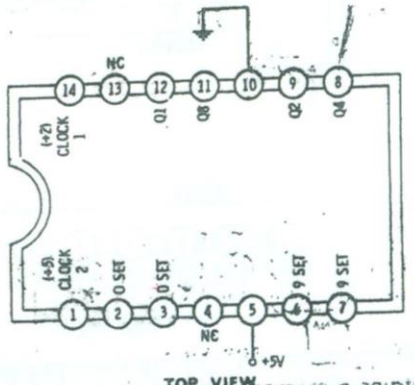
The Read Enable line is normally left in the low condition, and the *complement* of the selected word will appear as an output. Do not change addresses with *Write Enable* low.

If both Read Enable and Write Enable are held high, the output goes to an open-circuit condition. The memory may be expanded by connecting package outputs together, so long as all packages but one have their Write Enable and Read Enable outputs held high at any given time.

Read time ..... 33 nanoseconds
Write time ..... 48 nanoseconds

Current per package ..... 75 milliamperes

DECADE COUNTER (÷10) (Ripple, not Presettable, not Unit-Cascadable)



This is a divide-by-2 and a divide-by-5 counter in a single package. They may be used together as a divide-by-10 or separately. It ripple-counts in the BCD-up direction. Note the unusual supply pinouts.

For a BCD counter, weighted 1-2-4-8, enter via Clock 1, and jumper Q1 to Clock 2. Both 0-Set and both 9-Set inputs must be grounded for normal counting.

The counter advances on the negative-going clock edge. The clock must be properly conditioned and made bounceless and noise free. If a conventional decade counter is needed, *all set terminals must be held at ground.*

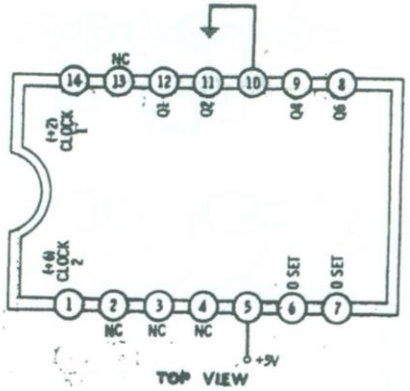
The counter may be reset to zero by bringing either or both 0-Set inputs positive. The counter may be preset to 9 by bringing either or both 9-Set inputs positive.

An external jumper must be provided between counter halves. If entry is via Clock 2, and Q8 is jumpered to Clock 1, a counter weighted 1-2-4-5 results, with Q1 as the most significant output and a symmetrical square wave at the output. More details on this device appear in Chapter 6. The circuit is not unit-cascadable.

Typical maximum toggle frequency ..... 18 megahertz

Current per package ..... 32 milliamperes

BASE-TWELVE (÷12) COUNTER (Ripple, not Presettable, not Unit-Cascadable)



This is a divide-by-2 and a divide-by-6 counter in a single package. They may be used together as a divide-by-12 or separately. It ripple-counts in the BCD-up direction. Note the unusual supply pinouts. Note also the pin connections are not the same as the 7490 or 7493.

For a base-12 counter, weighted 1-2-4-6, enter via Clock 1 and jumper Q1 to Clock 2. The 0-Set inputs must be *grounded* for normal counting. The output is low for six counts and high for six.

The counter advances on the negative-going clock edge. The clock must be properly conditioned and made bounceless and noise free. If a conventional base-12 counter is needed, *both 0-set terminals must be held at ground.*

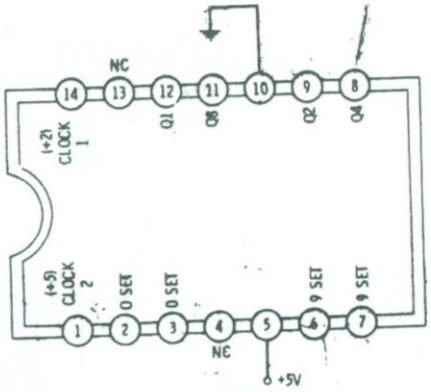
The counter may be reset to zero by bringing either or both 0-Set inputs positive.

An external jumper must be provided between counter halves. If entry is via Clock 2, and Q6 is jumpered to Clock 1, an unweighted counter with a different sequence results. Q1 becomes the most significant output and has a symmetrical square wave. This other connection also allows the use of the divide-by-6 section as a divide-by-3.

Typical maximum toggle frequency ..... 18 megahertz

Current per package ..... 31 milliamperes

DECADE COUNTER (÷10) (Ripple, not Presettable, not Unit-Cascadable)



TOP VIEW

This is a divide-by-2 and a divide-by-5 counter in a single package. They may be used together as a divide-by-10 or separately. It ripple-counts in the BCD-up direction. Note the unusual supply pinouts.

For a BCD counter, weighted 1-2-4-8, enter via Clock 1, and jumper Q1 to Clock 2. Both 9-Set and both 0-Set inputs must be grounded for normal counting.

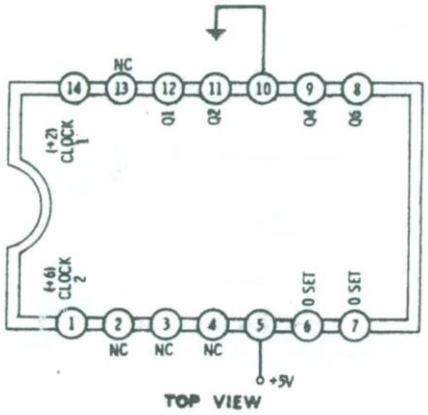
The counter advances on the negative-going clock edge. The clock must be properly conditioned and made bounceless and noise free. If a conventional decade counter is needed, *all set terminals must be held at ground.*

The counter may be reset to zero by bringing either or both 0-Set inputs positive. The counter may be preset to 9 by bringing either or both 9-Set inputs positive.

An external jumper must be provided between counter halves. If entry is via Clock 2, and Q8 is jumpered to Clock 1, a counter weighted 1-2-4-5 results, with Q1 as the most significant output and a symmetrical square wave at the output. More details on this device appear in Chapter 6. The circuit is not unit-cascadable.

Typical maximum toggle frequency ..... 18 megahertz

BASE-TWELVE (÷12) COUNTER (Ripple, not Presettable, not Unit-Cascadable)



TOP VIEW

This is a divide-by-2 and a divide-by-6 counter in a single package. They may be used together as a divide-by-12 or separately. It ripple-counts in the BCD-up direction. Note the unusual supply pinouts. Note also the pin connections are not the same as the 7490 or 7493.

For a base-12 counter, weighted 1-2-4-6, enter via Clock 1 and jumper Q1 to Clock 2. The 0-Set inputs must be *grounded* for normal counting. The output is low for six counts and high for six.

The counter advances on the negative-going clock edge. The clock must be properly conditioned and made bounceless and noise free. If a conventional base-12 counter is needed, *both 0-set terminals must be held at ground.*

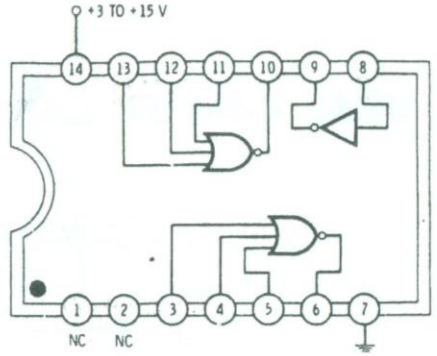
The counter may be reset to zero by bringing either or both 0-Set inputs positive.

An external jumper must be provided between counter halves. If entry is via Clock 2, and Q6 is jumpered to Clock 1, an unweighted counter with a different sequence results. Q1 becomes the most significant output and has a symmetrical square wave. This other connection also allows the use of the divide-by-6 section as a divide-by-3.

Typical maximum toggle frequency ..... 18 megahertz

4000

DUAL 3-INPUT NOR GATE PLUS INVERTER



TOP VIEW

The package contains two 3-input NOR gates and an inverter. They may be used separately.

An input *low* drives the inverter output *high*, and vice versa.

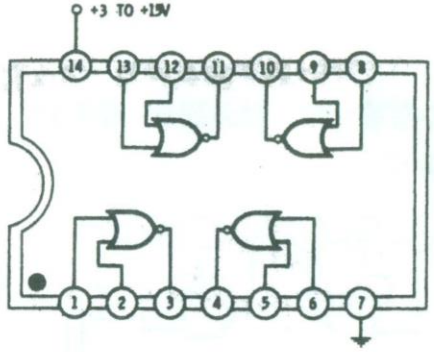
On the NOR gates, any input *high* drives the output *low*. All inputs low drives the output *high*.

The gates may be combined. A NOR gate followed by an inverter gives a 3-input OR gate. This output routed to the remaining gate gives a 5-input NOR function.

Propagation delay is 25 nanoseconds at 10 volts and 60 nanoseconds at 5 volts. Total package current is 0.3 mA at 5 volts and 0.6 mA at 10 volts at a 1-megahertz data rate.

4001

QUAD 2-INPUT NOR GATE



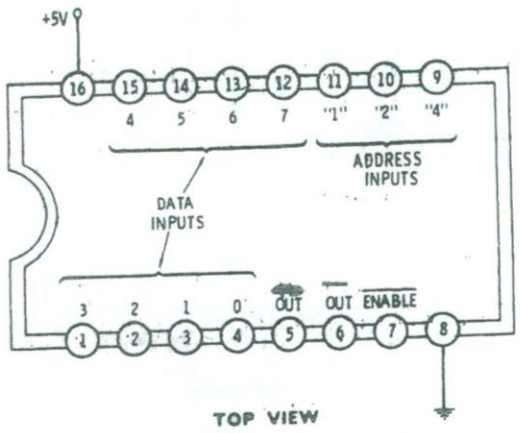
TOP VIEW

All four positive-logic NOR gates may be used independently. On any one gate, with *either* or both inputs *high*, the output is *low*; with *both* inputs *low*, the output is *high*.

Propagation delay is 25 nanoseconds at 10 volts and 60 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.4 milliampere at 5 volts and 0.8 milliampere at 10 volts.

74151

1-OF-8 DATA SELECTOR



TOP VIEW

This package selects one of eight inputs and provides the data on the selected input-or its complement as an output. It will also generate *any* logic function of four or less input variables. (See Chapter 3.)

Inputs are selected by applying a code from 000 through 111 on the 1, 2, and 4 Address inputs. The data on the selected input appear at pin 6; the complement of the selected data appears at pin 5. Pin 5 is faster in responding, as pin 6 is an inverter/follower.

The Enable input (sometimes called a Strobe) must be *low* for normal operation. Driving it high drives the pin-6 output *low* and the pin-5 output *high*, independently of the condition of the selected input.

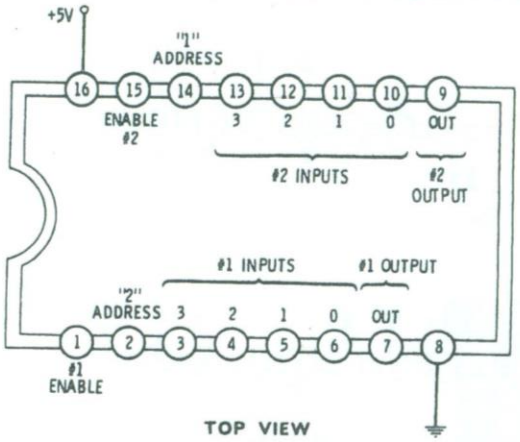
For logic function generation, three of the variables are applied to the Address inputs. The selected Data inputs are connected low, high, to the fourth variable or to the complement of the fourth variable per the desired truth table. See Chapter 3 for more details.

Select time ..... 19 nanoseconds

Current per package ..... 29 milliamperes

74153

DUAL 1-OF-4 DATA SELECTOR



TOP VIEW

This package selects one of four inputs and provides the data on the selected input as its output. There are two separate 1-of-4 selectors with two separate outputs, but their addresses are common.

Inputs to the 1 Address and the 2 Address select the output connection for both sides simultaneously. Input data is not inverted and passed onto the output.

The Enable must be low to get an output. A high Enable drives the output low, independently of input data.

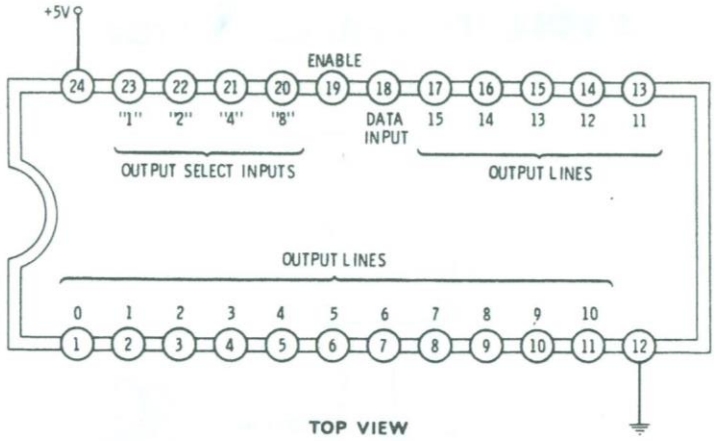
Note that both halves of this circuit have common address lines, although they have separate inputs, outputs, and enables.

Select time ..... 44 nanoseconds

Current per package ..... 36 milliamperes

74154

1-OF-16 DATA DISTRIBUTOR



TOP VIEW

This package may be used to provide a 1-low-out-of-16 output or may be used to send input data to one selected output of sixteen, the remaining fifteen staying high.

The output address is selected with the 1, 2, 4, and 8 select lines. For instance, 1 low, 2 high, 4 high, and 8 low selects output No. 6.

If Enable and Data Input are both low, the selected output address goes low.

If Enable is low, and a Logic input is provided the Data input, the selected output address follows the Logic input.

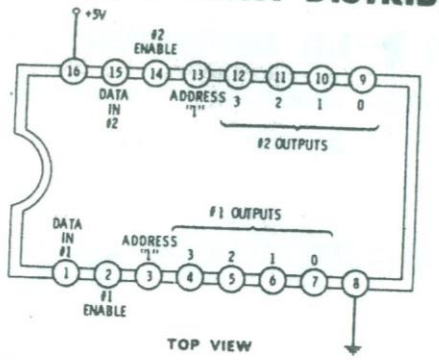
Note that the functions of data selector and data distributor cannot be interchanged in TTL. This circuit accepts one input and routes it to *sixteen* outputs.

Select time ..... 49 nanoseconds

Current per package ..... 34 milliamperes

74155

DUAL 1-OF-4 DATA DISTRIBUTOR



TOP VIEW

This dual package may be used to provide two 1-low-out-of-4 outputs or may be used to send input data to one selected output of four, the remaining three staying high. Both halves of the circuit are identically addressed.

The output address is selected with the 1 and 2 Address inputs. For instance, a 1 low and a 2 low input selects output No. 0 on both sides of the circuit.

If the Data input is made high and the Enable input low on circuit No. 1, the selected output address goes low. If the Data input is made low and the Enable is made low on circuit No. 2, the selected output address goes low.

If the Enable is made low on circuit No. 1, the *complement* of the input data appears at the selected output. If the Enable is made low on circuit No. 2, the input data appear at the selected output.

Note that the two halves of this circuit are not identical. Side No. 1 inverts the data. Side No. 2 does not.

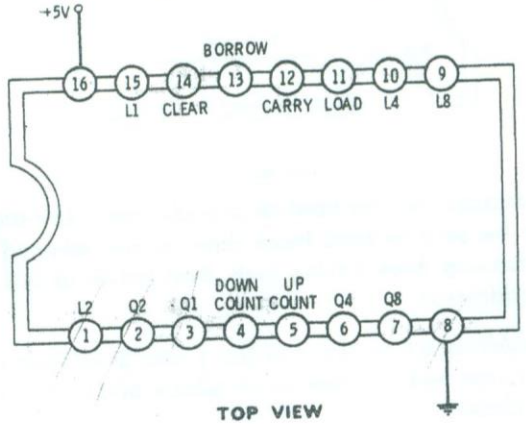
The circuit is converted into a 1-of-8 data distributor by connecting the two Data input lines together and using them as a 4-address line. If both Enables are low, the selected 1-of-8 output goes low. If both Enables are paralleled and fed data, the data are routed to the selected output.

Address select time ..... 21 nanoseconds

Current per package ..... 25 milliamperes

74192

DECADE (÷10) UP/DOWN COUNTER (Carry, Borrow, Presettable, Synchronous)



TOP VIEW

This is a synchronous decade (base-10) counter that counts in either direction. Two input clocks are used, and stages are Carry/Borrow cascaded.

For a normal up-counting sequence, Load should be high, and Clear should be low.

The counter advances one count on each ground-to-positive transition of the Up-Count input clock. It backs up one count on each ground-to-positive transition of the Down Count input clock. When up-counting, hold the Down-Count input high. When down-counting, hold the Up-Count input high.

To load, the desired word is placed on Load inputs L1, L2, L4, and L8. The Load input is then briefly brought low. To clear the counter, the Clear input is briefly made *positive*. Note that the Clear must be low for normal counting.

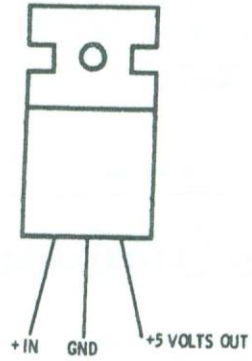
Stages are cascaded by connecting Carry to Up Count and Borrow to Down Count. See Chapter 6. For more details, consult data sheet.

Maximum operating frequency ..... 32 megahertz

Current per package ..... 65 milliamperes

7805

5-VOLT, 750-mA REGULATOR



This voltage regulator is recommended for TTL supplies to 750 milliamperes.

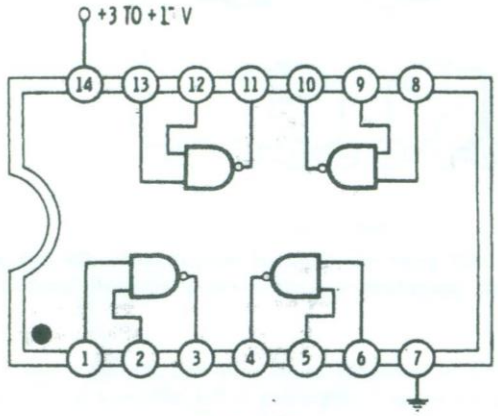
It must have a heat sink for high currents. The minimum applied supply voltage at a ripple trough and low line voltage must be more than 7 volts. The maximum applied supply voltage at a ripple peak and high line voltage must be less than 12 volts.

A 1-microfarad, high-quality tantalum capacitor should be placed from output to ground for stability. Fig. 1-5 shows a suitable circuit.

Standby current drain ..... 5 milliamperes

4011

QUAD 2-INPUT NAND GATE



TOP VIEW

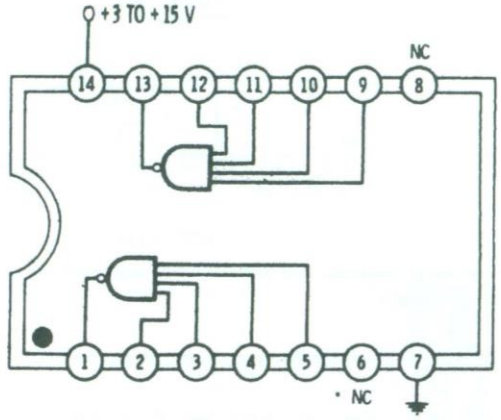
All four positive-logic NAND gates may be used independently.

On any one gate, with *either* or both inputs *low*, the output will be *high*; with both inputs *high*, the output will be *low*.

Propagation delay is 25 nanoseconds at 10 volts and 60 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.4 milliampere at 5 volts and 0.8 milliampere at 10 volts.

4(

DUAL 4-INPUT NAND GATE



TOP VIEW

Both positive-logic NAND gates may be used independently.

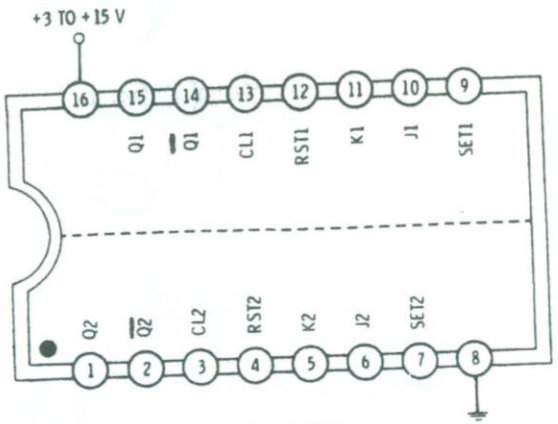
On either gate, one or more inputs *low* provides a *high* output. If all inputs are *high*, the output will go *low*.

The A-series devices have a very poor and very lopsided response. U series devices for all but totally noncritical applications.

Propagation delay is 25 nanoseconds at 10 volts and 60 nanoseconds volts. Total package current at 1 megahertz is 0.4 milliampere at 5 and 0.8 milliampere at 10 volts.

4027

DUAL JK FLIP-FLOP



TOP VIEW

Each flip-flop may be used independently. There are two modes, *clocked* and *direct*.

In the *clocked* mode, the direct set and clear inputs must remain at ground. Inputs to the J and K lines decide what the flip-flop is going to do. The actual operation doesn't happen until the positive edge (ground-to-positive transition) of the clock.

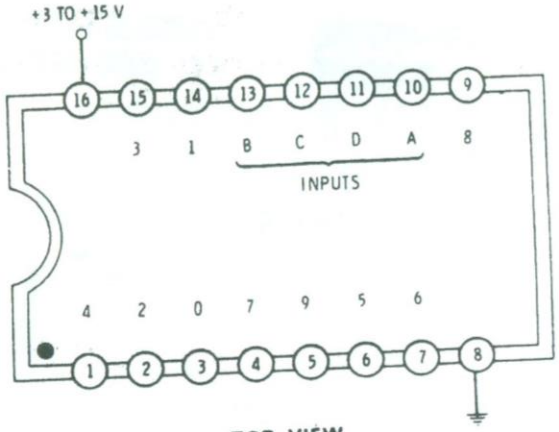
If J and K remain grounded, clocking does nothing.
If J is positive and K grounded, clocking forces Q positive and $\overline{Q}$ to ground.
If J is grounded and K positive, clocking forces Q to ground and $\overline{Q}$ positive.
If both J and K are positive, clocking alternates the Q and $\overline{Q}$ states.

In the *direct* mode, a positive set input forces Q positive and $\overline{Q}$ to ground. A positive reset input forces Q to ground and $\overline{Q}$ positive. Should both set and reset simultaneously go positive, both Q and $\overline{Q}$ will also go positive. This is usually a disallowed state. The last direct input to go to ground will determine the final state of the Q and $\overline{Q}$ outputs. The direct inputs override the clocked inputs.

The clock input must be noiseless and have only a single ground-to-positive edge transition per desired clocking. Clock rise and fall times should be 5 microseconds or faster.

Maximum clock frequency is 8 megahertz at 10 volts and 3 megahertz at

BCD TO DECIMAL (1-of-10) DECOI



TOP VIEW

This package will decode a standard binary-coded-decimal 4-bi 1-of-10 outputs. It can also convert any 3-bit code into 1-of-8 outp

The bcd code is input on terminals 10 through 13, with the leas or $2^0 = 1$ bit on "A," the $2^1 = 2$ bit on "B," the $2^2 = 4$ bit o the $2^3 = 8$ bit on "D." Positive logic with a "1" positive o grounded is used.

One output goes positive for a given input; the other nine remain Available output current is 1 milliampere at 5 volts and 2 milli 10 volts.

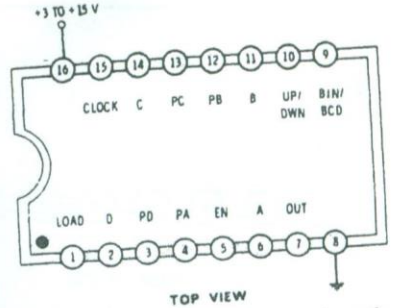
For instance, with $A = 1$, $B = 1$, $C = 1$, and $D = 0$, output 7 g and the rest remain low. All outputs remain low if an invalic (greater than 1001) is applied. Note that early RCA versions of produce an "8" output on invalid states "10," "12," and "14;" output on invalid states "11," "13," and "15."

As a 1-of-8 decoder, the D input is grounded. Any 3-bit code ap A, B, and C inputs will provide one of the outputs high with t However, the output numbering will be correct only for a "strai input code. Outputs are simply relabeled for any other code.

Propagation time is 100 nanoseconds at 10 volts and 250 nan 5 volts. Total package current at a 1-megahertz word rate wi

4029

UP-DOWN DIVIDE-BY-10 OR DIVIDE-BY-16 COUNTER (Synchronous)



TOP VIEW

This package may be programmed to be a decade (divide-by-10) or a hexadecimal (divide-by-16) up-down, presettable counter.

In normal operation, LOAD and EN are held low. If pin 9 is grounded, the package counts by tens. If pin 9 is positive, the package counts by six-teens. If pin 10 is positive, the package counts "frontwards," or up-counts. If pin 10 is grounded, the package counts "backwards," or down-counts.

The package advances or retards one count on the ground-to-positive transi-tion (positive edge) of the clock input. Outputs are weighted A = 1, B = 2, C = 4, and D = 8 in either the binary or bcd positive-logic code. The OUT terminal provides a grounded output on count 9 (bcd) or count 15 (binary mode). This is useful in cascading fully synchronous counters.

The EN input allows the clock to operate when grounded. It prevents clock-ing when positive. By connecting the OUT terminal of the first decade to the EN terminal of the second decade and driving the counters from a common clock, fully synchronous counting will result.

The counter can be parallel-loaded by presenting a word weighted PA = 1, PB = 2, PC = 4, and PD = 8 to the preset inputs and bringing the LOAD terminal positive. For instance, if A = B = C = D = ground, a 0000 state will get entered, resetting the counter. Note that there is no separate reset pin; reset is done by parallel-loading a 0000.

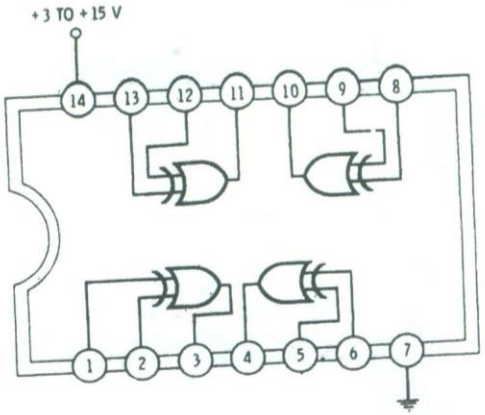
The up-down control can be changed only when the clock is positive.

The clock must be noise free and have only one ground-to-positive transi-tion per desired count. A rise time of faster than 5 microseconds on the clock is recommended.

Maximum clock frequency is 5 megahertz at 10 volts and 2.5 megahertz at 5 volts. Total package current at a 1-megahertz clock rate with unloaded outputs is .4 milliampere at 5 volts and .8 milliampere at 10 volts.

4030

QUAD EXCLUSIVE OR GATE



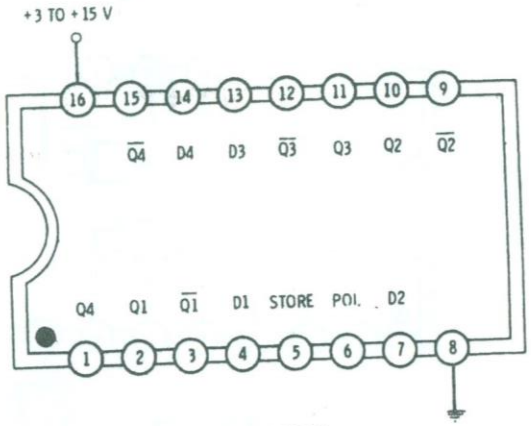
TOP VIEW

Early versions of this device have a very low input impedance and behave erratically in pulse circuits.

Use the 4070 or the equivalent 4507 instead.

4042

QUAD LATCH



TOP VIEW

This package contains four latches having a common *level-controlled* storage-command input. A choice of control polarity is available.

If the POL input is low and the STORE input is low, data sent to the D input appears at its respective true and complement outputs. When the Store input is brought high, the data on the input during the positive transition gets stored internally and appears in true form at output Q and its complement at $\overline{Q}$.

If the POL input is high and the STORE input is high, data sent to the D input appears at its respective true and complement outputs. When the Store input is brought low, the data on the input during the negative transition gets stored internally and appears in true form at output Q and its complement at $\overline{Q}$.

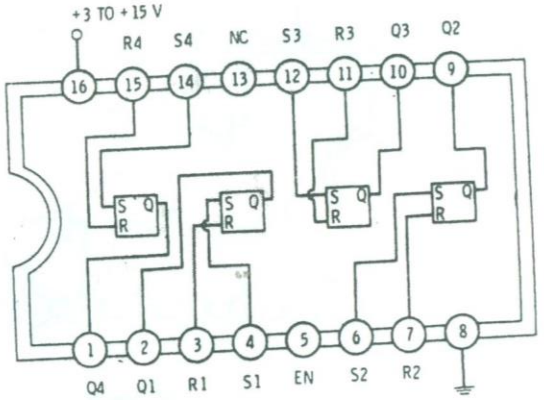
Note that the output *follows* the input for one state of the Store control. This is not a true edge-clocked device and *stages may NOT be cascaded.*

The Store input must be noise free. Recommended rise and fall times must be faster than 5 microseconds.

Propagation delay times are 75 nanoseconds at 10 volts and 150 nanoseconds at 5 volts. Typical package current at a 1-megahertz store rate is 1.2 milliamperes at 5 volts and 2.4 milliamperes at 10 volts.

4043

QUAD R/S FLIP-FLOP (NOR Logic)



TOP VIEW

This package contains four independent set-reset flip-flops sharing a common-output tri-state enable control.

On any one flip-flop, Set and Reset should normally be *low*. If Set is made *high*, the output goes and stays *high*. If Reset is made *high*, the output goes and stays *low*.

If both Set and Reset go *high*, the output goes *high*. This is a normally disallowed state, and the last input to go low determines the final flip-flop state.

The outputs are tri-state. They float if the EN (enable) control is low, and they are connected to the flip-flops if the EN control is high.

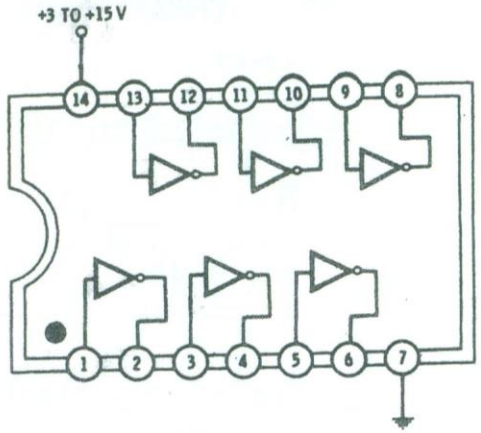
Note that these are unclocked, simple flip-flops. They should not be cascaded, nor are they suitable for counting or shift-register use.

Propagation delay time is 75 nanoseconds at 10 volts and 175 nanoseconds at 5 volts. At a 1-megahertz clock rate, the total package current is 1 milliampere at 5 volts and 2 milliamperes at 10 volts.

The 4044 is a similar device with NAND (normally high) inputs.

4069

HEX INVERTER



TOP VIEW

All six inverters may be used independently.

On any inverter, a *low* input provides a *high* output, and vice versa.

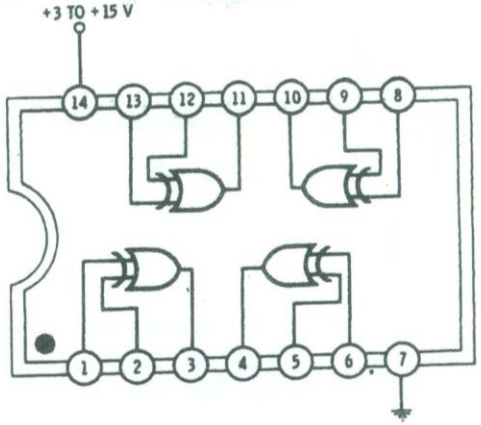
This is a "low-power" version of the 4049. It will not directly drive regular TTL, nor can it be used for voltage translation.

In addition, this device is only singly buffered, which means *the 4069B will perform no better in astable and pulse circuits than ordinary A-series devices.* Thus, while the 4069B has the output drive typical of other B-series devices, it has far less internal gain.

Propagation delay is 25 nanoseconds at 10 volts and 50 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.

4070

QUAD EXCLUSIVE OR GATE



TOP VIEW

All four EXCLUSIVE OR gates may be used independently.

On any one gate, if one input is high but not both, the output will be high. If both inputs are high or both inputs are low, the output will be low.

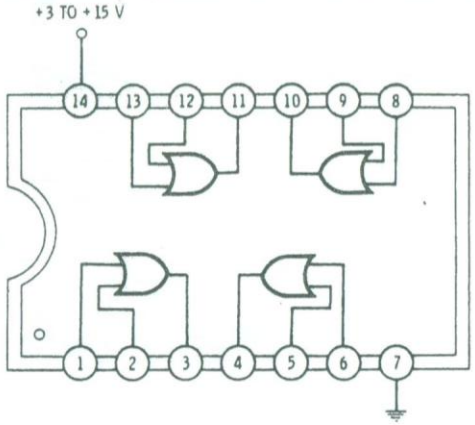
The gate can be used as a comparator by noting that identical inputs give a low output and different inputs a high output. It can also be used as a controllable inverter by noting that a low on one input passes on whatever is on the other input; while a high complements whatever is on the other input.

Propagation delay is 70 nanoseconds at 10 volts and 175 nanoseconds at 5 volts. Supply current at a 1-megahertz data rate is 0.2 milliampere at 5 volts and 0.4 milliampere at 10 volts.

This device is identical to the 4508 and replaces the obsolete 4030.

4071

QUAD 2-INPUT OR GATE



TOP VIEW

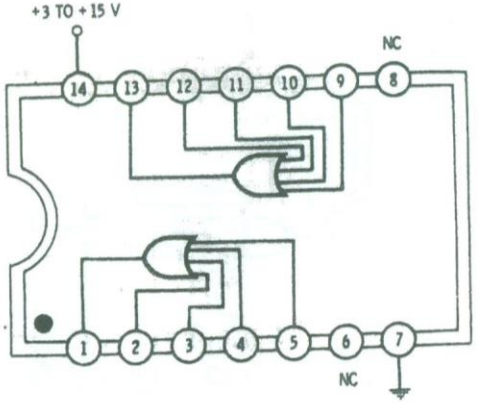
All four positive-logic OR gates may be used independently.

On any one gate, with either or both inputs *high*, the output will be *high*. With both inputs *low*, the output will be *low*.

Propagation delay is 80 nanoseconds at 10 volts and 190 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.

4072

DUAL 4-INPUT OR GATE



TOP VIEW

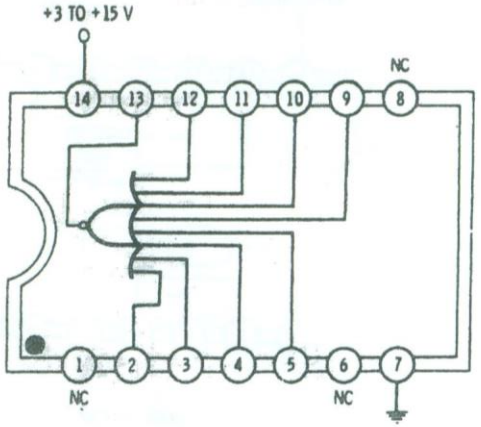
Both positive-logic OR gates may be used independently.

On any one gate, one or more inputs *high* provides a *high* output. With all four inputs *low*, the output will be *low*.

Propagation delay is 80 nanoseconds at 10 volts and 190 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.

4078

8-INPUT NOR GATE



TOP VIEW

This package contains a single positive-logic, 8-input NOR gate.

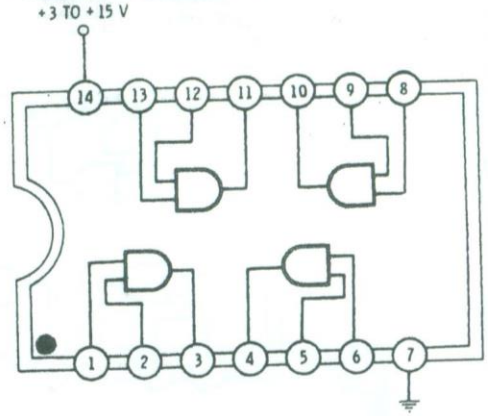
If one or more inputs are *high*, the output will be *low*. If all eight inputs are *low*, the output will be *high*.

Propagation delay is 170 nanoseconds at 10 volts and 425 nanoseconds at 5 volts. Total package current is .4 milliampere at 5 volts and .8 milliampere at 10 volts.

Note that this is a very slow device. It should not be used in high-speed applications, particularly at a 5-volt or lower supply voltage.

4081

QUAD 2-INPUT AND GATE



TOP VIEW

All four positive-logic AND gates may be used independently.

On any one gate, with either or both inputs *low*, the output will be *low*. With both inputs *high*, the output will be *high*.

Propagation delay is 70 nanoseconds at 10 volts and 150 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.