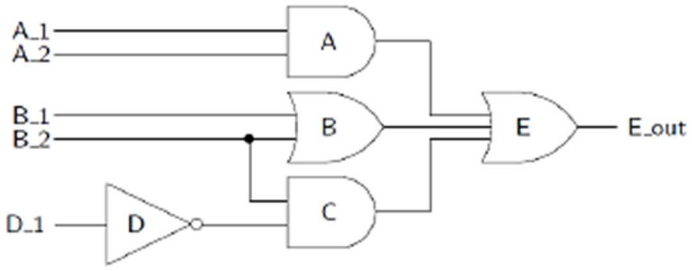
بسمه تعالی

تکلیف سری دوم درس طراحی سیستم های دیجیتال

۱- برای مدار شکل زیر، مدل رفتاری VHDL را با استفاده از عبارت های case و if (دو مدل جدا از هم) بنویسید.



۲- برای تابع های زیر برنامه VHDL به صورت رفتاری بنویسید که این توابع را پیاده سازی نماید. در برنامه خود از عبارت های case و if استفاده نمایید.

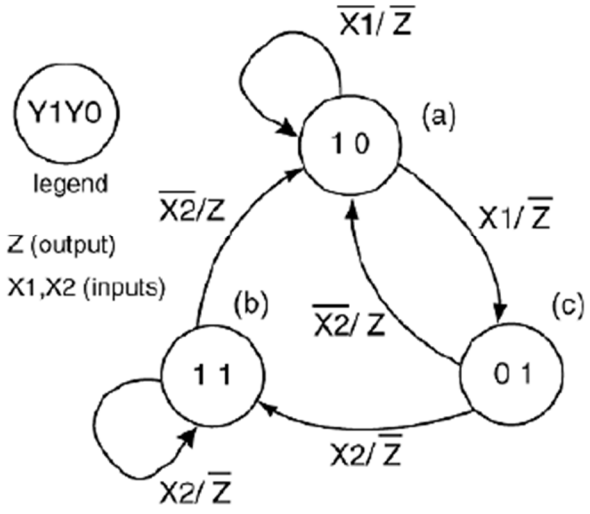
$$F(A,B,C,D) = \bar{A}C\bar{D} + \bar{B}C + BC\bar{D}$$

$$F(A,B) = \bar{A}B + A + A\bar{B}$$

۳- سوال فوق را برای توصیف dataflow و با استفاده از عبارتهای همروند برای تخصیص سیگنال پیاده سازی نمایید.

۴- برنامه VHDL برای یک ثبات هشت بیتی با فلیپ فلاپ D بنویسید که در لبه پایین رونده پالس ساعت (clk) اطلاعات ورودی D را به خروجی ثبات q منتقل کند.

۵- برای دیاگرام حالت نشان داده شده در شکل زیر کد VHDL بنویسید که عملکرد آن را به صورت رفتاری مدل کند. متغیرهای حالت باید به صورت نشان داده کد گذاری شوند و خروجی را تولید کنند.



۶- دیاگرام حالت کد VHDL زیر را ترسیم نمایید.

```
-- library declaration
library IEEE;
use IEEE.std_logic_1164.all;
-- entity
entity fsm is
      port ( X,CLK : in std_logic;
            RESET : in std_logic;
            Z1,Z2 : out std_logic;
end fsm;
-- architecture
architecture fsm of fsm is
      type state_type is (A,B,C);
      signal PS,NS : state_type;
begin
      sync_proc: process(CLK,NS,RESET)
      begin
      if (RESET = '0') then PS <= C;
      elsif (rising_edge(CLK)) then PS <= NS;
      end if;
end process sync_proc;
comb_proc: process(PS,X)
begin
      case PS is
            Z1 <= '0'; Z2 <= '0';

            when A =>
            Z1 <= '0';
            if (X='0') then NS<=A; Z2<='1';
            else NS <= B; Z2 <= '0';
            end if;

     when B =>
           Z1 <= '1';
           if (X='0') then NS<=A; Z2<='0';


              else NS <= C; Z2 <= '1';
              end if;
       when C =>
              Z1 <= '1';
              if (X='0') then NS<=B; Z2<='1';
              else NS <= A; Z2 <= '0';
              end if;
       when others =>
              Z1 <= '1'; NS<=A; Z2<='0';
       end case;
       end process comb_proc;
 end fsm;
```