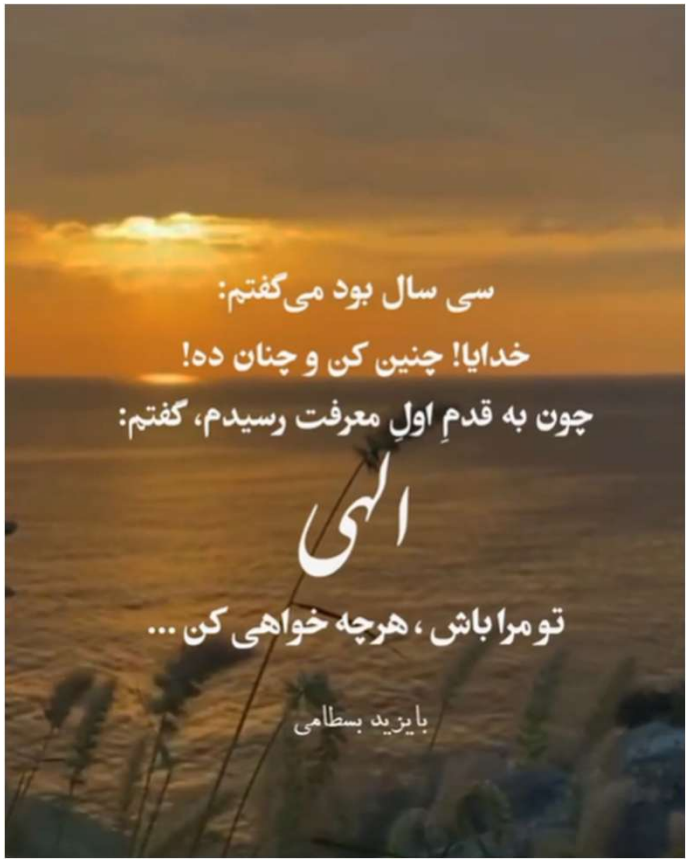
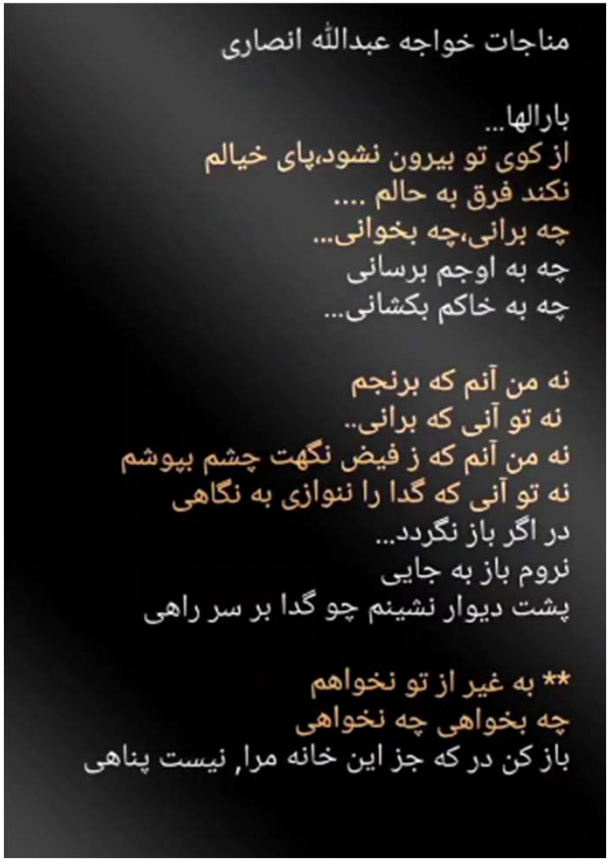
دانشگاه سمنان
Semnan University
پردیس فرزانگان

بسمه تعالی

دانشگاه سمنان
Semnan University
پردیس فرزانگان





دانشگاه سمنان
Semnan University
پردیس فرزانگان

فصل چهارم

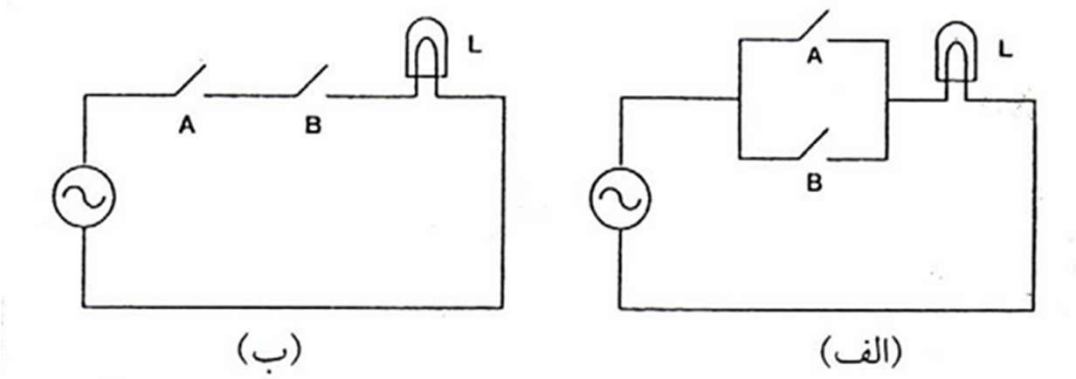
الکترونیک دیجیتال

دانشگاه سمنان
Semnan University
پردیس فرزانگان

مقدمه الکترونیک دیجیتال

منطق دودوئی (Binary):

منطق دودوئی با متغیرهائی که فقط دو ارزش کاملاً جدا از هم به خود می گیرند و با عملیات منطقی که ریاضیات مخصوص خود دارند، سروکار دارند دو ارزش این متغیرها از قبیل «درست و نادرست»، «بلی و خیر» و... ممکن است باشند، اما در سیستمهای دیجیتالی مناسب است که آنها را به صورت بیت در نظر بگیریم و به آنها مقادیر «صفر» یا «یک» اختصاص دهیم. منطق دودوئی به منظور تشریح تغییر و پردازش اطلاعات دودوئی به فرم ریاضی به کار می رود، که سیستمهای دیجیتالی بر این اساس تحلیل و طراحی می شوند.



برای مدار الف داریم $L=A+B$ و برای مدار ب $L=A.B$

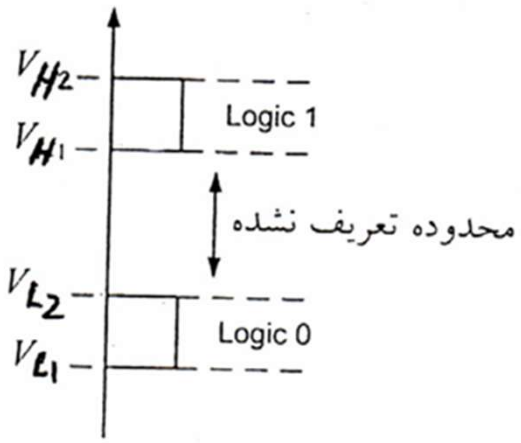
دانشگاه سمنان
Semnan University
پردیس فرزانگان

مدارهای سویچینگ و سیگنالهای دودوئی:

مدارهای الکترونیک دیجیتال مدارهای سویچینگ نیز نامیده می شوند به این علت که مانند یک کلید عمل می کنند و در آنها عنصر فعالی مثلاً ترانزیستور وجود دارد که یا در حالت اشباع است (هدایت می کند) و مانند کلید بسته عمل می کند و یا در حالت قطع است (هدایت نمی کند) و مانند کلید باز عمل می کند. در مدار سوئیچینگ الکترونیکی از سیگنالهای دودوئی برای کنترل وضعیت هدایت یا قطع در عنصر استفاده می نمایند.

سیگنالهای الکترونیکی مثل ولتاژها یا جریان ها در سیستم های دیجیتال به صورت یکی از دو مقدار مشخص وجود دارند (به جز در حالت گذرا) مدارهائی که براساس ولتاژ عمل می کنند به دو سطح ولتاژ جداگانه که نشان دهنده یک متغیر دودوئی با ارزش «صفر» یا «یک» می باشد پاسخ می دهند. برای مثال در یک مدار دیجتیالی خاص ممکن است «یک» منطقی به عنوان یک ولتاژ با ارزش نزدیک به ۵ ولت و «صفر» منطقی به عنوان یک ولتاژ با ارزش نزدیک صفر ولت تعریف شود. در مدارهای دیجیتالی دو تراز ولتاژ متمایز می تواند مقدار متغیرهای دودوئی مستقل یا وابسته (مانند X,Y یا Z در جدول ۱-۳) با ارزش «صفر»یا «یک» را مشخص می کند، ولی برای اینکه نویز یا عوامل ناخواسته دیگر روی جواب مدار تاثیر نداشته باشد، به جای مشخص کردن دو سطح ولتاژ کاملاً مشخص برای منطق «صفر» و منطق «یک» دو محدوده مجزا برای «صفر» و «یک» تعریف می شود. در شکل ۳-۳ اگر ولتاژ در محدوده V_{L_1} تا V_{L_2} (مثلاً صفر تا ۰/۵ ولت) قرار داشته باشد، این ولتاژ منطق «صفر» و اگر ولتاژ در محدوده V_{H_1} تا V_{H_2} (مثلاً ۴/۷ ولت تا ۵/۵ ولت) قرار داشته باشد، این ولتاژ به منطق «یک» تعبیر می شود.

این دو باند ولتاژ را یک محدوده از هم جدا می کند و فرض براین است که دامنه ولتاژ نباید در آن محدوده قرار گیرد. این باند ممنوع، نمایانگر ناحیه تعریف نشده یا حذف شده است. پایانه های ورودی مدارهای دیجیتالی، سیگنال های دودوئی با حدود تغییرات مجاز را قبول می کنند و در پایانه های خروجی سیگنال های دودوئی که در محدوده تغییرات مشخص شده قرار گرفته اند را تولید می نمایند.



شکل ۳-۳: محدوده ولتاژ های دودوئی

دانشگاه سمنان
Semnan University
پردیس فرزانگان

منطق مثبت و منطق منفی:

همانطور که گفتیم در الکترونیک دیجیتال دو محدوده ولتاژ متمایز برای نمایش "صفر" و "یک" مورد استفاده قرار می گیرد. اگر محدوده ولتاژ بالا را برای منطق "یک" و محدوده ولتاژ پائین را برای منطق "صفر" استفاده کنیم در منطق مثبت کار کرده ایم. برعکس اگر سطح ولتاژ بالا را برای منطق "صفر" و سطح ولتاژ پائین را برای منطق "یک" استفاده کنیم در منطق منفی کار کرده ایم. در بحث مدارهای دیجیتالی غالباً صحبت از منطق مثبت است و در تمام این درس نیز از منطق مثبت استفاده خواهیم کرد.

خانواده های مدارهای دیجیتالی:

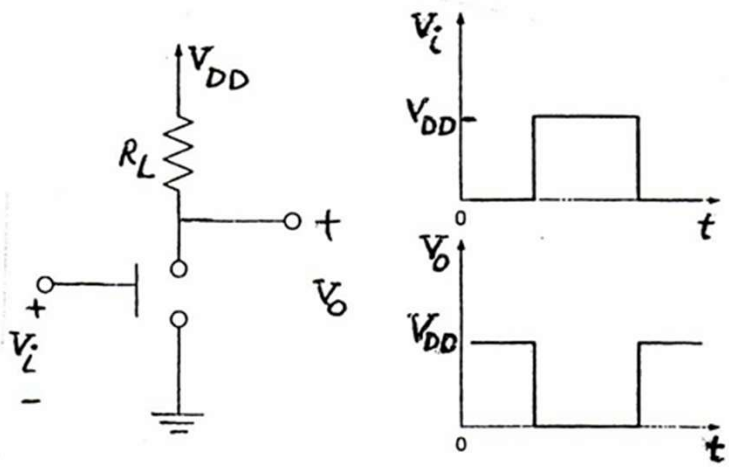
از نظر نوع قطعاتی که در ساخت مدار داخلی آی سی های دیجیتالی به کار می رود، این مدارها به خانواده های مختلفی تقسیم می شوند. خانواده MOS (FET اکسید فلزی) شامل NMOS و CMOS، خانواده BJT (ترانزیستور دو قطبی) شامل TTL و ECL، خانواده BICMOS که ترکیبی از دو خانواده اول (CMOS و BJT) است و از مزایای هر دو خانواده استفاده می کند. در این درس به ترتیب از این خانواده ها صحبت می شود. همچنین تکنولوژی جدیدتر گالیم آرسنایید (GaAs) مورد بحث قرار می گیرد که مزیتی چون سرعت بالاتر را دارد. خانواده های CMOS، TTL و ECL هم به صورت ICهائی که فقط شامل گیت های NOR می باشند موجود هستند و هم به صورت VLSI در طراحی مدارهائی از قبیل پردازند ها (Processor) کاربرد دارند. NMOS تنها در طراحی مدارهای VLSI نظیر ریز پردازنده ها و تراشه های حافظه به کار می روند.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

معکوس کننده اساسی (Basic Inverter):

معکوس کننده ساده ترین مدار هر خانواده است و با بررسی مشخصات آن مقایسه خانواده های مختلف صورت می گیرد. معکوس کننده یک کلید کنترل شده با ولتاژ نظیر کلید شکل ۶-۳ است. کلید توسط V_i کنترل می شود و V_O معکوس V_i را ایجاد می کند.

وقتی که ولتاژ V_i کم است (مثلاً صفر است)، کلید باز است، جریانی از R_L عبور نمی کند و مقاومت R_L طبق قانون اهم افت ولتاژ نداشته و ولتاژ خروجی برابر با ولتاژ منبع تغذیه یعنی V_{DD} است. وقتی V_i زیاد است یعنی زیادتر از ولتاژ آستانه مشخصی است، کلید بسته می شود و سر مثبت $V_\circ$ به زمین اتصال کوتاه شده و $V_\circ \cong \circ$ می شود. بنابراین در مدتی که V_i زیاد است $V_\circ$ کم است و بالعکس و به صورتی که منحنی تغییرات V_i و منحنی تغییرات $V_\circ$ در شکل ۶-۳ نشان می دهد، $V_\circ$ و V_i معکوس یکدیگرند.

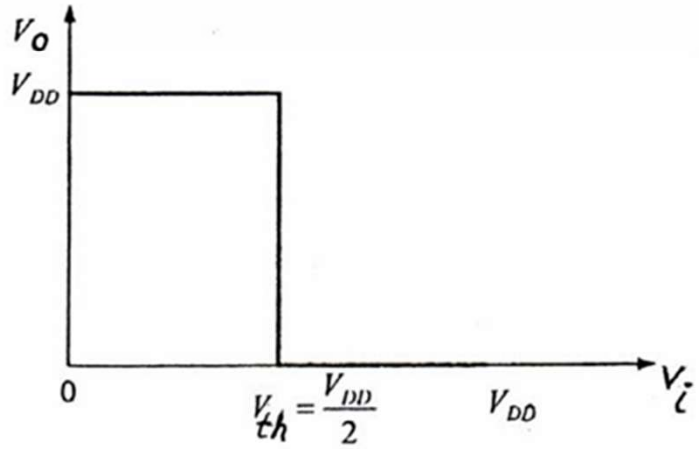


شکل ۶-۳: نمایش مفهومی معکوس کننده به صورت کلید کنترل شده با ولتاژ

دانشگاه سمنان
Semnan University
پردیس فرزانگان

مشخصه انتقالی معکوس کننده (transfer characteristics of Inverter):

شکل ۷-۳ مشخصه انتقالی یک معکوس کننده ایده آل با منبع تغذیه V_{DD} را نشان می دهد. ولتاژ آستانه این معکوس کننده $V_{th} = \frac{۱}{۲} V_{DD}$ است. سیگنال های ورودی که کمتر از این ولتاژ آستانه باشند پائین (LOW) در نظر گرفته می شود و برای این ولتاژها $V_{\circ} = V_{DD}$ است. سیگنال های ورودی بیشتر از ولتاژ آستانه، بالا (High) تعبیر می شوند و خروجی برای آن ها صفر ولت است. این معکوس کننده در برابر خطاهای مقدار سیگنال ورودی یا نویز و عوامل ناخواسته خارجی دیگر تحمل پذیر است و دچار خطا نمی شود. همچنین چون ولتاژ آستانه، نصف ولتاژ منبع تغذیه است، این قابلیت تحمل به طور مساوی بین دو قلمرو سیگنال ورودی (بالا و پائین) تقسیم شده است.

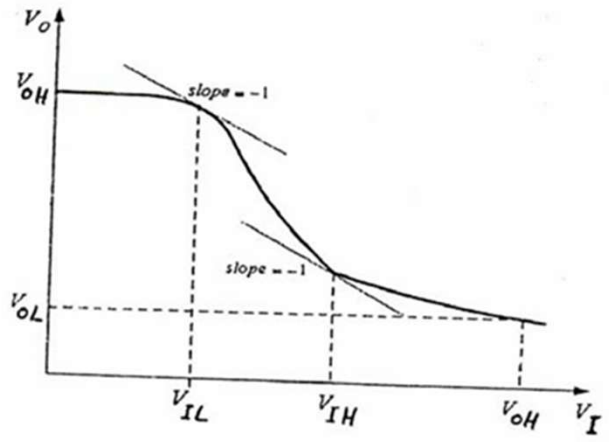


شکل ۷-۳: مشخصه انتقالی ایده آل معکوس کننده

این مشخصه ایده آل مستقل از مقدار سیگنال ورودی، خروجی، V_{DD} و یا صفر است.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

شکل ۸-۳ مشخصه واقعی معکوس کننده است. در این شکل ولتاژ آستانه به صورت متمایز مشخص نیست و بین نواحی بالا و پائین یک ناحیه گذرا وجود دارد. همچنین محدوده تغییرات خروجی کمتر از فاصله بین V_{DD} تا صفر است.



شکل ۸-۳: مشخصه واقعی انتقالی معکوس کننده و نقاط بحرانی آن

در این منحنی مشخصه واقعی انتقالی سه ناحیه متمایز وجود دارد:

الف- ناحیه ورودی پائین یعنی $V_I < V_{IL}$

ب- ناحیه گذرا (یا نامطمئن) یعنی $V_{IL} \le V_I \le V_{IH}$

پ- ناحیه ورودی بالا یعنی $V_I > V_{IH}$

علاوه بر چهار پارامتر بالا، معمولاً برای گیت های منطقی یک پارامتر دیگر نیز به نام V_M (ولتاژ نقطه میانی، Mid.Point)تعریف می کنند که در آن نقطه ولتاژ ورودی و خروجی برابرند ($V_M=V_{IN}=V_{OUT}$).

به دلیل اینکه گذر از یک ناحیه به ناحیه دیگر تند نیست و به صورت تدریجی صورت می گیرد، معمولاً V_{IL} و V_{IH} را نقاطی تعریف می کنند که شیب منحنی در آن نقاط برابر با ۱- است.

به علت تغییرات عناصر مدار و ولتاژ منبع تغذیه، سازنده بدترین حالت را برای V_{IL}، V_{IH}، V_{OL} و V_{OH} بنا به تعاریف زیر مشخص می کند:

الف- V_{OH} ماکزیمم ولتاژ خروجی وقتی که V_o درحالت "یک" است.

ب- V_{IH} مینیمم ولتاژ ورودی برای اینکه گیت در حالت "یک" قرار گیرد می باشد.

پ- V_{OL} مینیمم ولتاژ خروجی وقتی که خروجی در حالت "صفر" است.

ت- V_{IL} ماکزیمم ولتاژ ورودی که گیت آن را به صورت منطق "صفر" در نظر می گیرد.

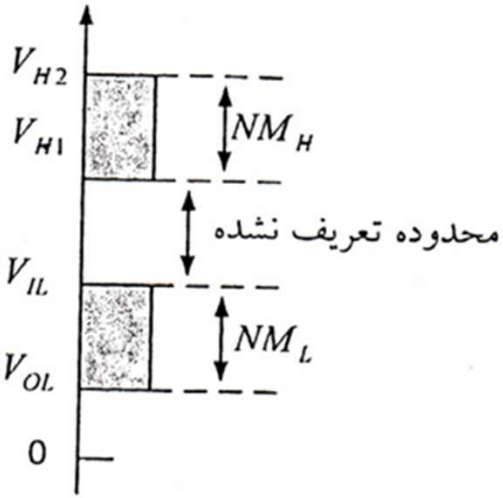
دانشگاه سمنان
Semnan University
پردیس فرزانگان

حاشیه های امنیت نویز (noise margins) و تعریف نقاط بحرانی:

یکی از مزایای مهم مدارهای دیجیتالی این است که اگر سیگنال ورودی آن ها در محدوده مجازی، که به وسیله ولتاژ آستانه تعریف می شود، تغییر کند، کم یا زیاد شدن سیگنال ورودی تأثیری روی عملکرد مدار ندارد، بنابراین در برابر نویز ایمن هستند. اکنون توانائی گیت دیجیتالی در حذف نویز بررسی می شود.

در مشخصه انتقالی معکوس کننده شکل ۸-۳ چهار پارامتر V_{IL}، V_{IH}، V_{OL} و V_{OH} مشخص شده اند. روی محور افقی نیز نقاط متناظر با ترازهای خروجی V_{OL} و V_{OH} مشخص شده اند. در سیستم های دیجیتالی معمولاً چند گیت به کار می رود، که یک گیت، گیت دیگر را تحریک می کند. بنابراین گیتی که خروجی آن بالا است (در V_{OH} قرار دارد) گیت مشابهی را تحریک می کند که تراز حداقل ولتاژ ورودی منطق "۱" آن، V_{IH} است. به علاوه (V_{OH}-V_{IH})نمایانگر حاشیه امنیت است، یعنی اگر نویز بر سیگنال خروجی گیت تحریک کننده (V_{OH}) سوار شود، اگر دامنه نویز کمتر از $(V_{OH} - V_{IH})$ باشد، در گیت تحریک شده اشکالی به وجود نمی آید و نویز روی عملکرد آن بی تأثیر است. بنابراین به $(V_{OH} - V_{IH})$ حاشیه امنیت نویز بالا یا حاشیه نویز منطق "۱" گویند $(NM_H = V_{OH} - V_{OL})$همچنین NM_L حاشیه امنیت نویز پائین یا حاشیه نویز منطق "صفر" برابر است با:

$(NM_H = V_{IL} - V_{OL})$

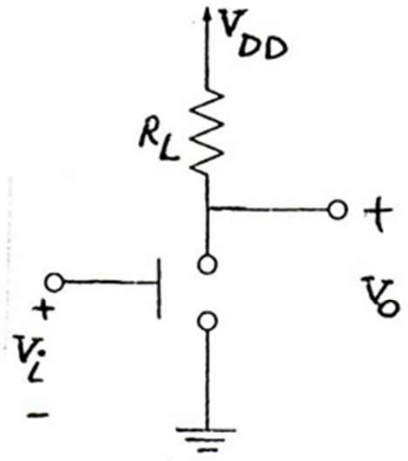


نمودار باند منطقی که حاشیه نویزرا نشان می دهد.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

اتلاف توان (power dissipation):

با دانستن تلفات توان می توان جریان خروجی منبع تغذیه سیستم را مشخص کرد. توان تلف شده دو بخش ایستا(static) وپویا (dynamic) دارد.



توان استاتیک یعنی توان مصرفی مدار در حالت پایدار یعنی وقتی که خروجی تغییر حالت نمی دهد. در مدار شکل ۶-۳ وقتی خروجی در حالت بالا قرار دارد جریانی از منبع کشیده نشده و توان ایستا صفر است. وقتی که خروجی در حالت پائین قرار دارد جریانی برابر با $\frac{V_{DD}}{R_L}$ از منبع کشیده شده و توان استاتیک برابر است با:

$$\left(\frac{V_{DD}}{R_L}\right)V_{DD} = \frac{V_{DD}^2}{R_L}$$

اگر بطور متوسط نیمی از اوقات گیت در حالت وصل ودر نیمی دیگر در حالت قطع باشد،متوسط توان مصرفی ایستا برابر با $\frac{V_{DD}^2}{2R_L}$ خواهد بود.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

برای محاسبه اتلاف توان پویا، که در لحظات تغییر حالت خروجی اتفاق می افتد، معکوس کننده شکل۶-۳ را در حالتی در نظر بگیرید که خازن بار C_L را تحریک می کند. فرض کنید در t=0 ورودی بالا، کلید بسته و خازن دشارژباشد. اگردر t=0 خروجی به وضعیت پائین تغییر حالت دهد، کلید باز شده و $V_\circ$ به صورت نمائی به سمت V_{DD} می رود. اگر جریان گذرنده از مقاومت R_L با i نشان داده شود، انرژی که از منبع کشیده می شود برابر است با:

$$W = \int V_{DD} i dt = V_{DD} \int i dt = V_{DD} \int dQ = V_{DD} Q$$

Q بار خازن است و چون $Q = C_L V_{DD}$ است، بنابراین:

$$W = C_L (V_{DD})^۲ \qquad (۳-۱)$$

چون در ابتدا انرژی ذخیره شده در خازن صفر بوده و در انتها به مقدار $\frac{۱}{۲} C_L V_{DD}^۲$ می رسد، بنابراین نتیجه می شود که نیمی از انرژی کشیده شده از منبع در مقاومت R_L تلف شده است یعنی:

$$W_{RL} = \frac{۱}{۲} C_L V_{DD}^۲ \qquad (۳-۲)$$

اگر دوباره ولتاژ ورودی به وضعیت بالا (High) برگردد، کلید بسته شده و انرژی ذخیره شده در خازن در R_{on} کلید تخلیه شده و تلف می شود. بنابراین در یک تناوب کامل به اندازه $W_{RL} + W_{Ron}$ یا $\frac{۱}{۲} C_L V_{DD}^۲ + \frac{۱}{۲} C_L V_{DD}^۲ = C_L V_{DD}^۲$ اتلاف توان پویا داریم. اگر فرکانس سویچینگ معکوس کننده برابر با f باشد، به لحاظ اینکه پریود برابر است با $\frac{۱}{f}$ است و $\frac{\text{انرژی}}{\text{زمان}}$ = توان است، بنابراین توان تلف شده پویا از فرمول ۳-۳ به دست می آید

$$\text{توان تلف شده پویا} = \textit{Dynamic power Dissipation} = f C_L V_{DD}^۲ \qquad (۳-۳)$$

این توان مجموع توانها تلف شده در مقاومتهای R_{on}, R_L می باشد.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

ظرفیت ورودی (fan-in) وظرفیت خروجی (fan-out):

ظرفیت ورودی یک گیت برابر با تعداد ورودیهای آن است. مثلاً برای یک گیت NOR با پنج ورودی، ظرفیت ورودی برابر با ۵ می باشد. ظرفیت خروجی ماکزیمم تعداد گیتهای مشابهی است که یک گیت می تواند با حفظ مشخصه های خود آنها را تحریک کند. مثلاً Fan out آی سی های TTL ده می باشد. با توجه به اینکه جریان

خروجی مدار در دو حالت بالا و پایین متفاوت است و همچنین جریان ورودی لازم توسط مدارها نیز در این دو حالت اختلاف دارند، بنابراین بایستی ظرفیت خروجی هر گیت در دو حالت بالا و پایین به طور مجزا محاسبه شده و کمترین این دو مقدار به عنوان ظرفیت در نظر گرفته شود.

$$N_{High} = \frac{I_{out}(High)}{I_{IN}(High)} \qquad N_{LOW} = \frac{I_{out}(Low)}{I_{IN}(Low)}$$

$$N = Fan-out = \min(N_{High}, N_{Low}) \qquad (۳-۴)$$

در روابط فوق، $I_{out}(High)$ مقدار جریان خروجی گیت تحریک کننده در حالت بالا $I_{out}(Low)$ مقدار جریان خروجی گیت تحریک کننده در حالت پایین $I_{IN}(High)$ مقدار جریان ورودی گیت تحریک شونده در حالت بالا و $I_N(Low)$ مقدار جریان ورودی گیت تحریک شونده در حالت پایین است.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

مثال اگر $I_{out}(Low) = ۵۴/۳mA$, $I_{out}(High) = ۷۱/۴mA$, $I_{IN}(Low) = ۲/۴۳mA$ و $I_{IN}(High) = ۹۸/۹\mu A$ باشد تعداد Fan-out را حساب کنید.

حل:

$$N_{Low} = \frac{۵۴/۳mA}{۲/۴۳mA} \cong ۲۲ \quad , \quad N_{High} = \frac{۷۱/۴mA}{۹۸/۹\mu A} \cong ۷۲۱$$

یعنی برای خروجی بالا تعداد ۷۲۱ آی سی از همین نوع به این مدار می تواند وصل شود و برای خروجی پایین تعداد ۲۲ آی سی از همین نوع می تواند به این مدار وصل شود بنابراین در مجموع ظرفیت خروجی این گیت برابر با کمترین این دو مقدار یعنی ۲۲ است.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

تاخیر انتشار (Propagation delay):

به علت پویا بودن عملکرد عناصر مدار از نظر ترانزیستورهای دو قطبی کلید معکوس کننده به صورت آنی به سیگنال کنترلی V_I پاسخ نمی دهد. علاوه بر آن ظرفیت، بار واقع در خروجی معکوس کننده سبب می شود که شکل موج V_o به صورت پالس ایده آل نباشد.

شکل ۱۰-۳ پاسخ یک معکوس کننده را به پالس ورودی با زمان صعودی و نزولی محدود نشان می دهد. همچنین بین پالسهای ورودی و خروجی تاخیر وجود دارد. زمان بین نقاط ۵۰٪ شکل موج های ورودی و خروجی در لبه های بالا رونده و پایین رونده را زمان تاخیر گویند این زمانها با T_{PHL} (HL نشان دهنده تغییر از بالا و پایین خروجی است) و T_{PLH} (LH نشان دهنده تغییر حالت از پایین به بالای خروجی) است مشخص می شوند. تاخیر انتشار t_p میانگین این دو زمان است.

$$t_p = \frac{1}{2}\left(t_{PHL} + t_{PLH}\right) \qquad (۳-۵)$$

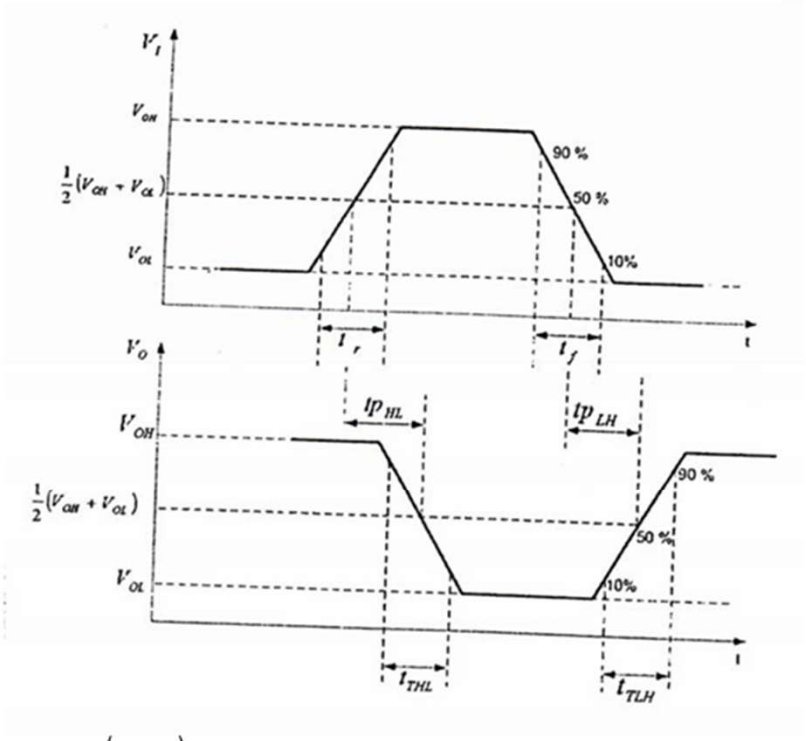
در شکل ۱۰-۳ زمان های $t_{THL}, t_{TLH}, t_f, t_r$ مشاهده می شوند که به ترتیب زمان صعود (rise time) زمان نزول (fall time)، زمان لازم برای تغییر وضعیت خروجی از پایین به بالا و زمان لازم برای تغییر وضعیت خروجی از بالا و پایین می باشند و به صورت زیر تعریف می شوند:

الف- زمان صعودی مدت زمان لازم برای رسیدن ورودی از ۱۰% به ۹۰% مقدار نهائی خود است.

ب- زمان نزول مدت زمان لازم برای رسیدن ورودی از ۹۰%به ۱۰%مقدار نهائی خود است.

پ- t_{TLH} زمان لازم برای رسیدن خروجی از ۱۰%به ۹۰%مقدار نهائی خود می باشد.

ت- t_{TLH} مدت زمان لازم برای رسیدن خروجی از ۹۰%به ۱۰%مقدار نهائی خود می باشد.



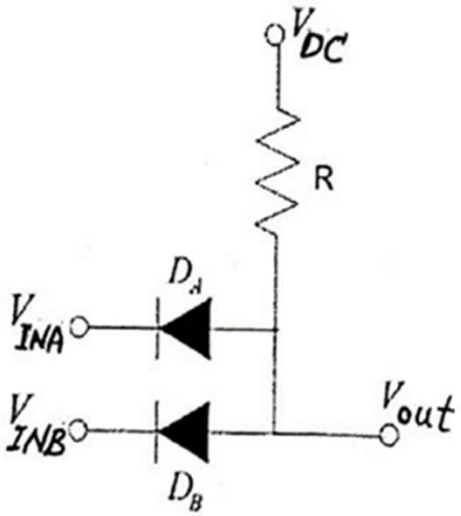
شکل ۱۰-۳: تعریف تاخیر انتشار و زمان های صعود و نزول (t_f, t_r)

دانشگاه سمنان
Semnan University
پردیس فرزانگان

منطق دیود مقاومت (RDL, Resistor Diode Logic):

این مدارات فقط از دیود و مقاومت ساخته شده و ساده ترین مدارهای منطقی است. گیتهای ORو AND با این خانواده درست می شود.

گیت AND دیودی:



شکل ۶-۴ (الف) گیت AND خانواده RDL را نشان می دهد. اگر هر کدام از ورودی های V_{IN} کمتر از مقدار ولتاژ $V_{DC}-V_D(oN)$ باشد، دیود مربوط به آن ورودی روشن شده و $V_{OUT}=V_{IN}+V_D$ می شود $V_D(oN)$ ولتاژ آستانه روشنی دیود است و برای دیودهای از جنس سیلیکون حدود (۰/۷ ولت است). برای $V_{OUT}=V_D(oN)=V_{OL}, V_{IN}=0$ می شود و جریان R چنین است:

$$I_R=\frac{V_{DC}-V_{OUT}}{R}=\frac{V_{DC}-V_D(oN)-V_{IN}}{R}$$

وقتی که همه ورودی ها بزرگتر از $V_{DC}-V_D(oN)$ شوند، همه دیودها خاموش شده و جریان مقاومت R مساوی صفر شده و $V_0=V_{OH}=V_{DC}$ می شود.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

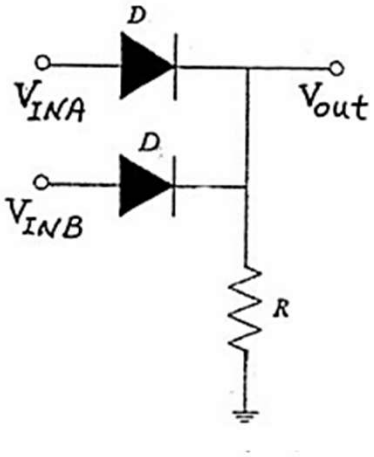
گیت OR دیودی

شکل ۷-۴ یک گیت OR خانواده RDL را نشان می دهد. وقتی همه ورودیها کمتر از $V_D(ON)$ باشند، همه دیودها قطع هستند و داریم:

$$V_{OUT} = 0 = V_{OL}$$

اگر هر کدام از ورودیها بزرگتر از $V_D(ON)$ باشند، جریانی از R عبور خواهد کرد و ولتاژ خروجی چنین خواهد شد:

$$V_{OUT} = V_{IN} - V_D(ON)$$



شکل ۷-۴: گیت OR دیودی

دانشگاه سمنان
Semnan University
پردیس فرزانگان

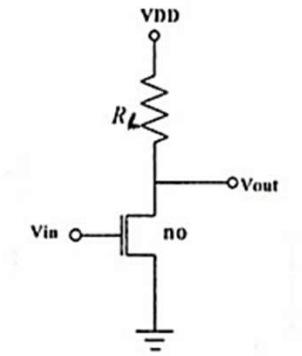
منطق های NMOS و CMOS

منطق NMOS:

پیاده سازی مدارهای دیجیتالی با استفاده از روش های مختلف و به کار بردن آی سی هائی از خانواده های مختلف امکان پذیر است. در میان آنها تکنولوژی MOS در حال حاضر بیش از سایر تکنولوژی ها مورد استفاده قرار می گیرد. لذا در ادامه مباحث به بررسی و تحلیل مدارهای مبتنی بر NMOS می پردازیم. چنانچه قبلاً عنوان شد واحد سازنده اصلی مدارهای منطقی، معکوس کننده است.

معکوس کننده با بار مقاومتی (Resistor- Loaded NMOS Inverter):

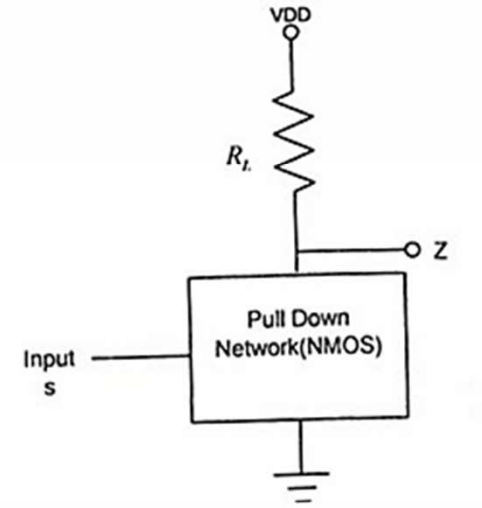
در شکل ۱-۶ یک مدار معکوس کننده NMOS با بار مقاومتی مشاهده می کنید. اگر به ورودی معکوس کننده ورودی صفر اعمال شود (صفر ولت که معادل صفر منطقی نیز هست)، در این صورت ترانزیستور NMOS خاموش خواهد بود و خروجی مساوی V_{DD} است. اگر به ورودی «یک» اعمال کنیم (مثلاً ۵ ولت) NMOS روشن خواهد بود و در این موقع V_{out} نزدیک به V_{SS} یا تقریباً صفر خواهد بود.



شکل ۱-۶: مدار معکوس کننده NMOS با بار مقاومتی

دانشگاه سمنان
Semnan University
پردیس فرزانگان

شکل کلی مدارهای NMOS مبتنی بر بار مقاومتی مطابق شکل ۵-۶ است. در بخش پائین بر مدار (Pull Down Network) از ترانزیستورهای NMOS برای ساختن تابع استفاده می شود.



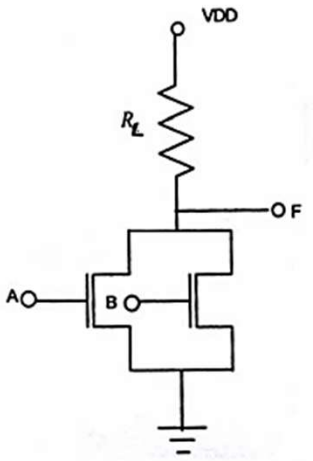
شکل ۵-۶: شکل کلی مدارهای NMOS با بار مقاومتی

نکته قابل ذکر این است، که این مدارهائی که با NMOS ساخته می شوند از نوع معکوس کننده (مکمل) هستند. در صورت عدم وجود مکمل در شکل تابع، می توان نخست مکمل تابع $(\overline{F})$ را تولید کرده و سپس خروجی آن را از یک گیت NOT عبور دهیم تا تابع موردنظر (F) به دست آید.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

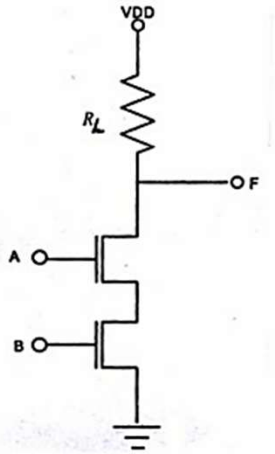
انواع گیت با استفاده از NMOS با بار مقاومتی:

شکل ۳-۶ یک گیت NOR دو ورودی که با NMOS با بار مقاومتی ساخته شده است را نشان می دهد. اگر ولتاژ هر یک از پایانه های ورودی بالا باشد (در حالت «یک» باشد)، آنگاه ترانزیستور متناظرش وصل بوده (در حالت اشباع بوده) و ولتاژ خروجی پائین است (در حالت «صفر» است). در واقع اگر هر یک از ترانزیستورها روشن باشد (وصل باشد) درین آن به سورس وصل بوده و ولتاژ نقطه F صفر خواهد بود. اگر ولتاژ هر دو ورودی نیز بالا باشد، هر دو ترانزیستور وصل بوده و باز هم ولتاژ خروجی پائین است. ولتاژ خروجی تنها هنگامی بالاست که دو ورودی همزمان پائین باشند. در این حالت هر دو ترانزیستور قطع بوده و $V_Y=V_{DD}$ است (در حالتی که هر دو NMOS خاموش هستند، جریانی از R_L عبور نمی کند و این مقاومت افت ولتاژی نداشته و ولتاژ خروجی مدار برابر با V_{DD} است). بنابراین رابطه خروجی با ورودیهای این مدار را می توان با عبارت بولی $Y = \overline{A+B}$ بیان کرد. با افزایش تعداد ترانزیستورهای ورودی می توان ظرفیت ورودی این گیت را افزایش داد و رابطه کلی تر $Y = \overline{A+B+C+\ldots}$ را بدست آورد.



شکل ۳-۶: گیت NOR دو ورودی با NMOS

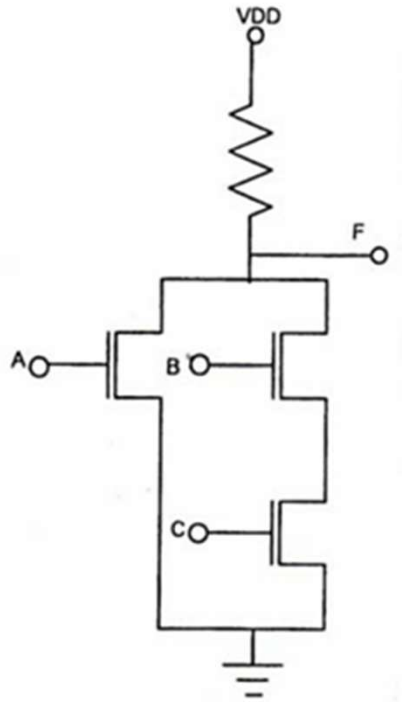
در شکل ۴-۶ یک گیت NAND دو ورودی مشاهده می شود. در این گیت ترانزیستورها به صورت سری قرار گرفته اند و خروجی تنها هنگامی پائین است، که ترانزیستورها هر دو وصل باشند و این وقتی حاصل می شود که هر دو ورودی همزمان بالا باشند. بنابراین $Y = \overline{AB}$ یا $\overline{Y} = AB$ رابطه خروجی با ورودیهاست.



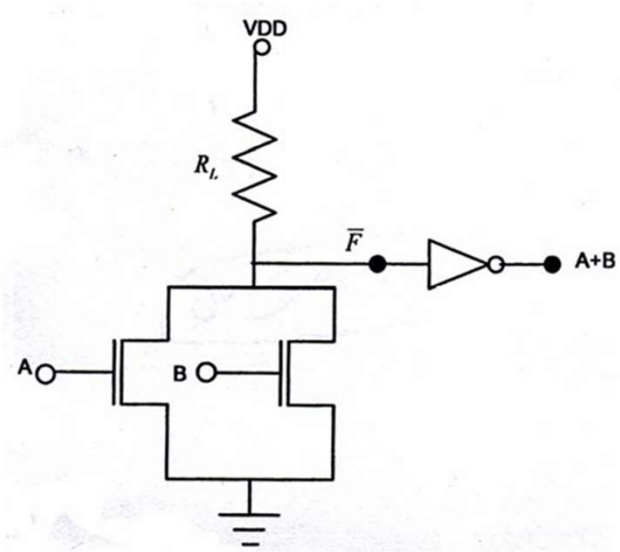
شکل ۴-۶: گیت NAND دو ورودی با NMOS

دانشگاه سمنان
Semnan University
پردیس فرزانگان

مثال تابع $F = (\overline{A + BC})$ را پیاده کنید.



ساخت تابع $\overline{A + BC}$



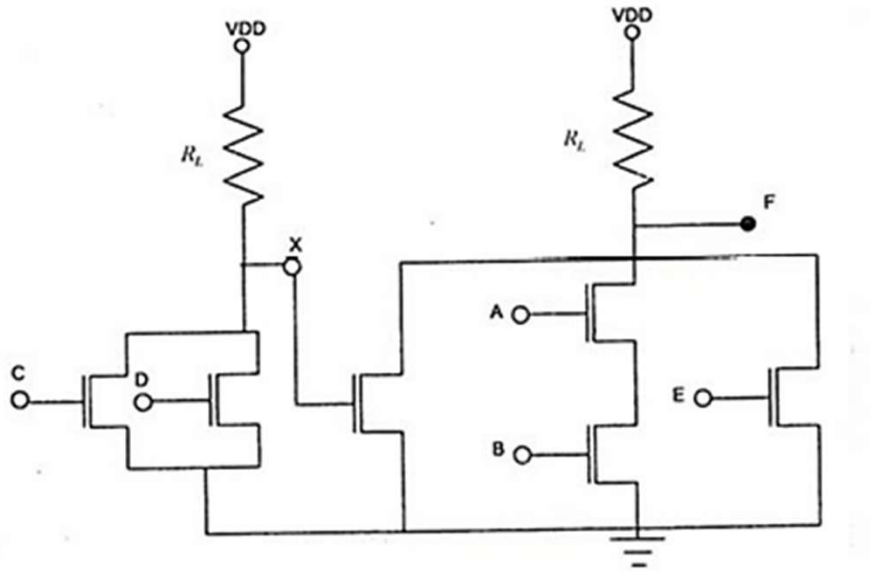
شکل ۷-۶: ساختن گیت OR با استفاده از گیت NOR و گیت NOT

دانشگاه سمنان
Semnan University
پردیس فرزانگان

مثال تابع $F = \overline{(AB + (\overline{C + D}) + E}$ را پیاده سازی کنید.

حل: ابتدا $\overline{C + D}$ را پیاده سازی کرده و سپس کل تابع را پیاده می کنیم.

$$X = \overline{C + D} \Rightarrow F = \overline{AB + X + E}$$



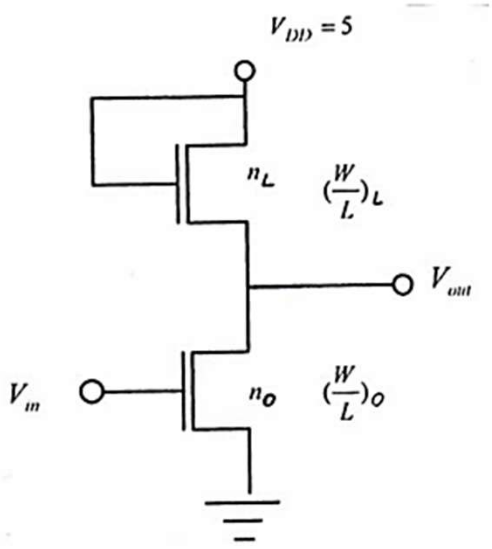
دانشگاه سمنان
Semnan University
پردیس فرزانگان

معکوس کننده NMOS با بار افزایشی:

با قرار دادن یک ترانزیستور NMOS همیشه اشباع به جای بار مقاومتی، نوع دیگری از معکوس کننده NMOS به نام افزایشی حاصل می شود. بار این نوع معکوس کننده، که در شکل ۱۱-۶ نشان داده شده است، یک ترانزیستور NMOS است که گیت آن به درین متصل شده است. برای ترانزیستور بار روابط زیر برقرار است:

$$V_{G_L} = V_{D_L} \Rightarrow V_{G_L} - V_{S_L} = V_{D_L} - V_{S_L}$$
$$V_{GS_L} = V_{DS_L}, V_{GS_L} - V_{t_L} < V_{DS_L}$$

روابط فوق حاکی از این است که ترانزیستور n_L همواره در حالت اشباع قرار دارد.



شکل ۱۱-۶: معکوس کننده NMOS افزایشی

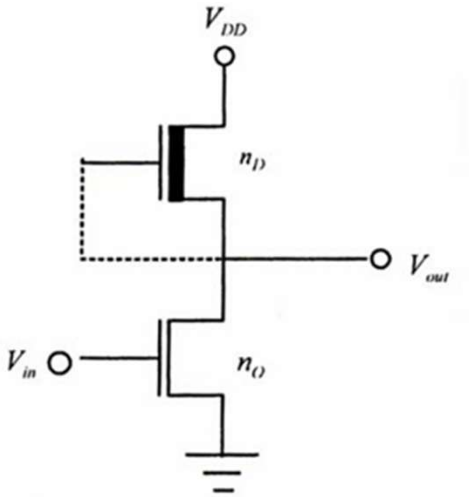
دانشگاه سمنان
Semnan University
پردیس فرزانگان

معکوس کننده NMOS با بار کاهشی:

در این معکوس کننده، که در شکل ۱۳-۶ نشان داده شده است، یک ترانزیستور تخلیه ای نقش بالابر را ایفا می کند. توجه کنید NMOS تخلیه ای ولتاژ آستانه منفی دارد.

معکوس کننده NMOS با بار کاهشی سطح کمتری روی تراشه اشغال کرده و حاشیه نویز بیشتر (تأثیر کمتر نویز) و سرعت کار نسبتاً بالاتری نسبت به معکوس کننده دارای بار افزایشی دارد. این مزایا باعث می شود، که تمام مدارهای منطقی و حافظه های NMOS از تکنولوژی بار کاهشی استفاده کنند.

ساخت مدارهای منطقی NMOS ساده است و سطح تراشه کوچکی لازم دارد و بنابراین با چگالی خیلی زیادی روی تراشه ساخته می شود و مجتمع سازی در سطح بالائی صورت می گیرد. مهم ترین کاربرد NMOS در طراحی مدارهای مجتمع نظیر ریز پردازنده ها و حافظه ها با دستیابی تصادفی است. در این کاربردها توانائی کم NMOS در تحریک بار، یک نقص جدی برای این خانواده به شمار نمی آید. اما این موضوع باعث می شود، که استفاده از NMOS در طراحی سیستم های دیجیتال متداول عملی نباشد. بنابراین آی سی های منطقی NMOS برخلاف CMOS و TTL در بازار موجود نیستند.



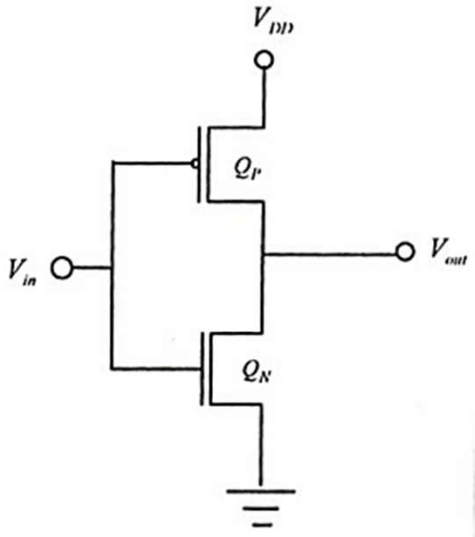
شکل ۱۳-۶: معکوس کننده NMOS با بار تخلیه ای

دانشگاه سمنان
Semnan University
پردیس فرزانگان

معکوس کننده CMOS:

این مدار یکی از معروف ترین و رایج ترین روش های پیاده سازی مدارهای دیجیتالی است، کـه دارای مزایـا و ویژگی های خاصی است. از مهمترین مشخصه این منطق تولید صفر و یک خوب و قابل اطمینان و عدم وجود تـوان مصرفی ایستا (DC) است.

معکـوس کننـده CMOS در شـکل ۱۴-۶ نشـان داده شـده اسـت، کـه در آن از دو MOSFET افزایشـی NMOS و PMOS استفاده شده است. فرض بر این است، که بدنه هر ترانزیستور به سورس آن وصل شده است و بنابراین اثر بدنه وجود ندارد. در اینجا Q_N ترانزیستور محرک و Q_P ترانزیستور بار اسـت. ولـی چـون مـدار متقـارن است، می توانیم عکس این فرض را داشته باشیم.



شکل ۱۴-۶: معکوس کننده CMOS

عملکرد مدار:

وقتی که $V_{in}=V_{DD}$ (ولتاژ و رودی بالا باشد)، Q_N خاموش است و جریان دو ترانزیسـتور تقریبـاً صـفر اسـت. یعنی اتلاف توان در مدار خیلی کم است. بنابراین با ورودی «یک» خروجی «صفر» است.

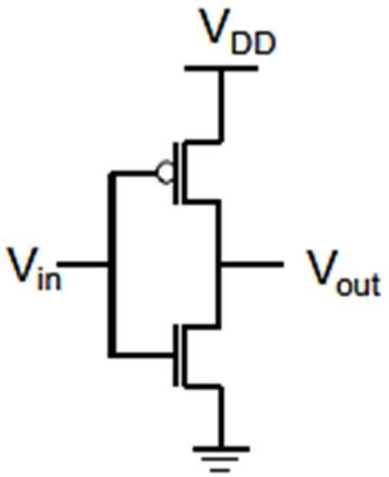
وقتی که $V_{in}=0v$ (ولتاژ ورودی پائین است) باشد، Q_N خاموش و Q_P روشن می شود و خروجی را به سـطح ولتاژ V_{DD} (خروجی بالا) می رساند. جریان دو ترانزیستور هنوز نزدیک صفر است، بنابراین اتلاف توان در این مـدار در هر دو حالت خیلی کم است.

NMOS view:

- $V_{in}=V_{GS}$
- $V_{out}=V_{DS}$

PMOS view:

- $V_{in}=V_{GS}+V_{DD}$
- $V_{out}=V_{DS}+V_{DD}$

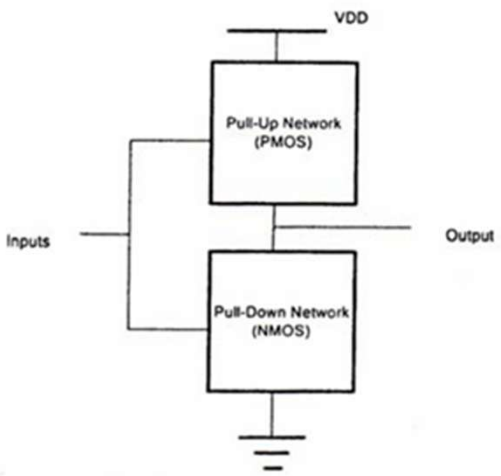


	Cutoff	Linear/res.	Saturation
NMOS	$V_{in}<V_{Tn}$	$V_{in}-V_{Tn}>V_{out}$ $V_{in}>V_{Tn}$	$V_{in}-V_{Tn}<V_{out}$ $V_{in}>V_{Tn}$
PMOS	$V_{in}-V_{DD}>V_{Tp}$	$V_{in}-V_{Tp}<V_{out}$ $V_{in}-V_{DD}<V_{Tp}$	$V_{in}-V_{Tp}>V_{out}$ $V_{in}-V_{DD}<V_{Tp}$

دانشگاه سمنان
Semnan University
پردیس فرزانگان

مدارهای گیت CMOS:

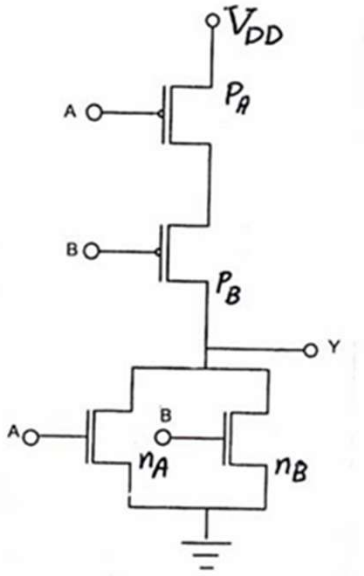
به دلیل اهمیت طراحی مدار با استفاده از CMOS ، در این بخش جزئیات آن بررسی می شود. یک مدار CMOS شامل دو بخش بالابر و پائین بر است. بخش بالابر آن با ترانزیستورهای PMOS و بخش پائین بر با ترانزیستور NMOS ساخته می شود. بخش بالابر دوگان (Dual) بخش پائین بر است و بخش پائین بر مطابق با شکل توابع اصلی ساخته می شود. شکل ۱۶-۶ دیاگرام بلوکی این سیستم را نشان می دهد.



شکل ۱۶-۶: شکل کلی مدارهای CMOS

تبصره: برای به دست آوردن دوگان یک تابع AND ها به OR و برعکس تبدیل می شوند. متغیرهای مکمل دار نیز بدون تغییر باقی می مانند.

دانشگاه سمنان
Semnan University
پردیس فرزانگان



شکل ۱۷-۶: ساختن گیت NOR با CMOS

مدارهای گیت های CMOS با گسترش مدار اصلی معکوس کننده به دست می آیند. شکل ۱۷-۶ یک گیت NOR دو ورودی است. به ازاء افزایش تعداد هر ورودی باید یک ترانزیستور n و یک ترانزیستور P به مدار اضافه کرد. بنابراین CMOS نسبت به NMOS سطح سیلیسیم بیشتری نیاز دارد، چون در NMOS به ازاء هر ورودی اضافی تنها یک ترانزیستور اضافه می شود.

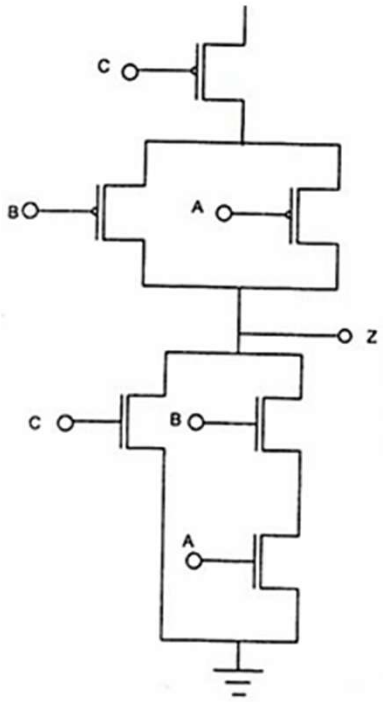
خروجی مدار شکل ۱۷-۶ هنگامی بالا است، که P_A و P_B همزمان روشن باشند و این نیز وقتی اتفاق می افتد، که هر دو ورودی همزمان پائین باشند. اگر یکی از ورودیها یا هر دو ورودی بالا باشند، خروجی پائین خواهد بود. بنابراین رابطه خروجی با ورودیها به صورت $Y = \overline{A+B}$ است، که تابع منطقی NOR می باشد.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

مثال تابع $Z = \overline{AB + C}$ را با CMOS بسازید.

حل: بخش بالابر باید دوگان بخش پائین بر باشد، لذا دوگان تابع را به دست می آوریم:

$$\text{Dual}(AB+C)=(A+B).C$$



مثال پیاده سازی تابع $Z = \overline{\left[(A+B).\overline{C} + E.\left(\overline{F}+\overline{G}\right)\right]}$ با منطق CMOS:

حل: روش اول:

$$Dual\left(\left[(A+B).\overline{C} + E.\left(\overline{F}+\overline{G}\right)\right]\right) = \left[\left((A.B)+\overline{C}\right).\left(E+\left(\overline{F}.\overline{G}\right)\right)\right]$$

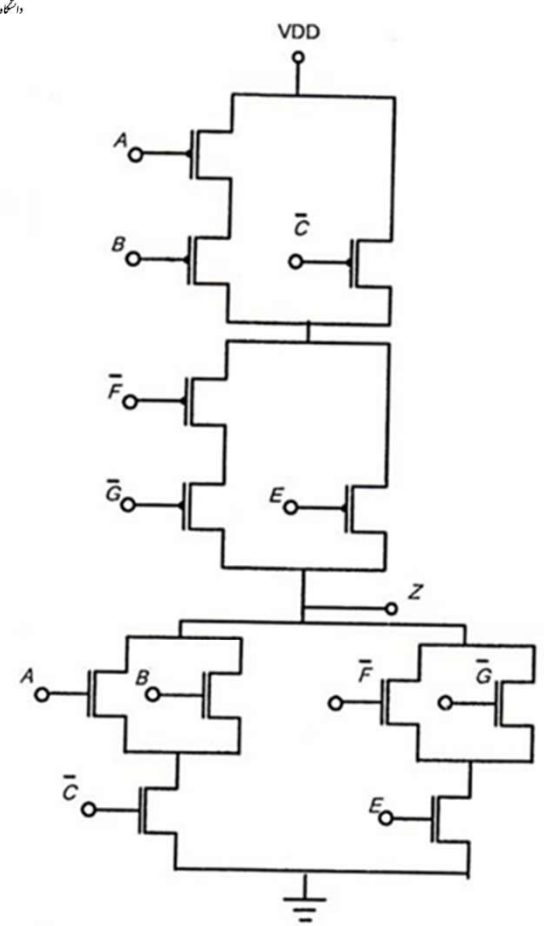
به دلیل این که در مدار تعداد ۶ متغیر وجود دارد لذا ۱۲ ترانزیستور لازم دارد. همچنین در این تابع سه متغیر نیز به صورت مکمل شده است، که برای تولید این مکملها نیز ۶ ترانزیستور مورد لزوم است (جمعاً ۱۸ ترانزیستور)

روش دوم: تابع را به صورت زیر در نظر می گیریم:

$$Z = \overline{\left[(A+B).\overline{C} + E.X\right]} \quad \text{که} \quad x = \overline{F.G} = \overline{F} + \overline{G}$$

$$Dual\left((A+B).\overline{C} + EX\right) = \left((A.B)+\overline{C}\right).(E+X)$$

مدار به صورت شکل ۲۰-۶ می باشد، که در آن ۴ ترانزیستور در طبقه اول، ۱۰ ترانزیستور در طبق دوم و ۲ ترانزیستور نیز برای تولید مکمل C از خود C مورد نیاز است (جمعاً ۱۶ ترانزیستور).



پیاده سازی با روش اول

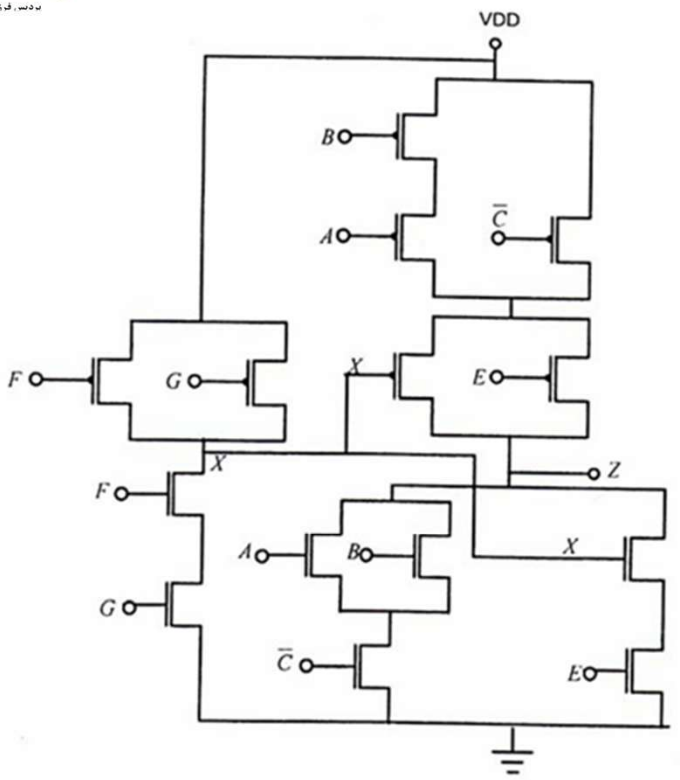
دانشگاه سمنان
Semnan University

روش دوم: تابع را به صورت زیر در نظر می گیریم:

$$Z = \left[\overline{(A+B).\overline{C}+E.X}\right] \quad \text{که} \quad x = \overline{F.G} = \overline{F}+\overline{G}$$

$$Dual\left((A+B).\overline{C}+EX\right) = \left((A.B)+\overline{C}\right).(E+X)$$

مدار به صورت شکل ۲۰-۶ می باشد، که در آن ۴ ترانزیستور در طبقه اول، ۱۰ ترانزیستور در طبق دوم و ۲ ترانزیستور نیز برای تولید مکمل C از خود C مورد نیاز است (جمعاً ۱۶ ترانزیستور).



شکل ۲۰-۶: پیاده سازی با روش دوم (دو مرحله ای)

دانشگاه سمنان
Semnan University

مثال گیت CMOS XOR :

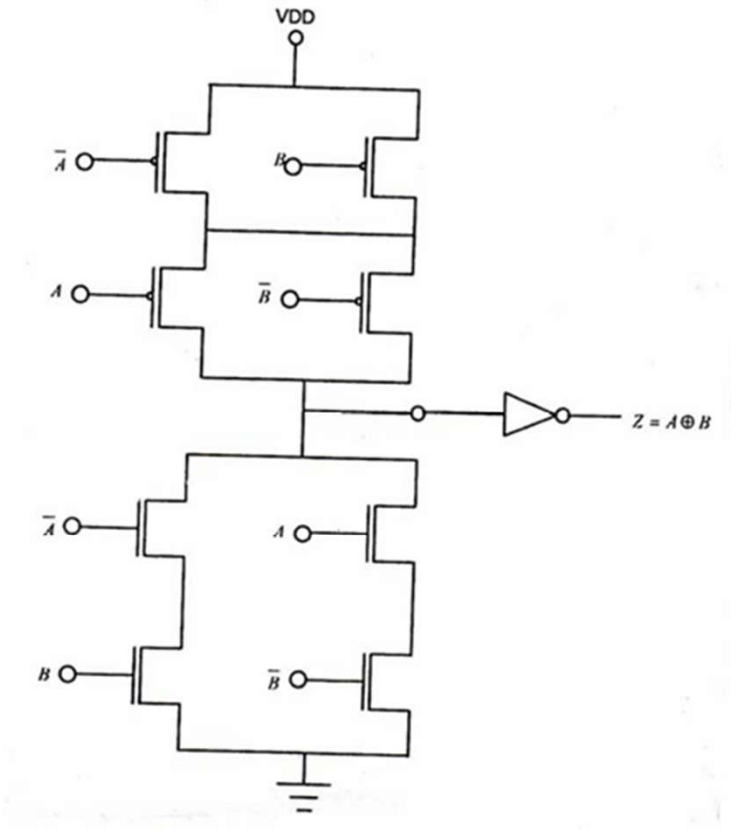
عملکرد گیت XOR مطابق با جدول صحت ۴-۶ است.

جدول ۴-۶: جدول صحت تابع XoR

B	A	$A \oplus B = A.\overline{B} + \overline{A}.B$
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۰

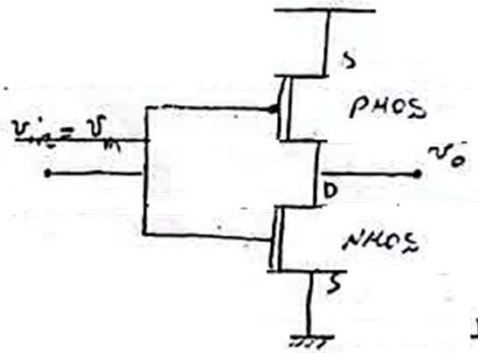
در این روش ابتدا تابع F را که به صورت زیر تعریف می شود پیاده کرده و خروجی مدار حاصل را معکوس می کنیم (شکل ۲۱-۶):

$$F = \overline{A.\overline{B} + \overline{A}.B}$$



شکل ۲۱-۶: پیاده سازی تابع XoR

دانشگاه سمنان
Semnan University
پردیس فرزانگان



دانشگاه سمنان
Semnan University
پردیس فرزانگان

ج) v_m : به ازای چه مقداری از v_{in} ترانزیستور PMOS وارد ناحیه اشباع می‌شود؟

$$I_{Dp} = \frac{k_p}{2}(v_{GSp} - v_{tp})^2 = \frac{k_p}{2}(v_{in} - v_{DD} - v_{tp})^2$$

$$I_{Dn} = \frac{k_n}{2}(v_{GSn} - v_{tn})^2 = \frac{k_n}{2}(v_{in} - 0 - v_{tn})^2$$

$$I_{Dp} = I_{Dn} \rightarrow \frac{k_p}{2}(v_m - 5 + 1)^2 = \frac{k_n}{2}(v_m - 1)^2 \rightarrow v_m = 2.5\ v$$

د) v_{IL} : به ازای چه مقداری از ورودی ترانزیستورها وارد ناحیه خطی می‌شوند؟ همچنین می‌توان نشان داد ترانزیستور NMOS وارد ناحیه اشباع می‌شود. به ازای چه مقدار v_{in} ترانزیستور PMOS وارد ناحیه خطی می‌شود؟

برای v_{IL} خواهیم داشت: $v_{DSp} \quad v_{GSp} - v_{tp}$

$$\frac{dv_o}{dv_{in}} = -1$$

$$v_{DD} - v_o > v_{in} - v_{tp}$$

NMOS → اشباع → $I_{Dn} = \frac{k_n}{2}(v_{GSn} - v_{tn})^2$

PMOS → خطی → $I_{Dp} = k_p\left[(v_{GSp} - v_{tp})v_{DSp} - \frac{v_{DSp}^2}{2}\right]$

$v_{DSp} : v_{DD} - v_o$

$$I_{Dn} = I_{Dp} \rightarrow \frac{k_n}{2}(v_{in} - 1)^2 = k_p\left[(v_{in} - 5 + 1)(v_o - 5) - \frac{(v_o - 5)^2}{2}\right]$$

حال از طرفین رابطه نسبت به v_{in} مشتق می‌گیریم و $\frac{dv_o}{dv_{in}} = -1$ را در نقطه v_{IL} جایگذاری می‌کنیم. خواهیم داشت:

$$v_{IL} = 2.375\ v$$

دانشگاه سمنان
Semnan University
پردیس فرزانگان

ج) در این حالت با توجه به اینکه ولتاژ ورودی در سطح منطقی high بوده و دیود ضعیف نیز در حالت روشن قرار دارد، گیت کسکد ترانزیستور NMOS در حالت قطع و ترانزیستور PMOS در حالت اشباع می‌باشد. به همین دلیل برای این حالت داریم $\frac{dv_o}{dv_{in}} = 0$

PMOS اشباع $\Rightarrow I_{Dp} = \frac{k_p}{2}(v_{GSp} - v_{tp})^2$ ، $v_{in} = 0$

NMOS قطع $\Rightarrow I_{Dn} = k_n\left[(v_{GSn} - v_{tn})v_{DSn} - \frac{v_{DSn}^2}{2}\right]$

$$I_{Dp} = I_{Dn} \Rightarrow \frac{k_p}{2}(v_{in} - 5 + 1)^2 = k_n\left[(v_{in} - 1)v_o - \frac{v_o^2}{2}\right]$$

در این حالت به ازای کمترین مقدار $\frac{dv_o}{dv_{in}}$ ، 1- به دست می‌آید و مقدار V_{IH} برابر است با:

$$V_{IH} = 2.875\ V$$

ح) حاشیه‌ی نویز:

$$NM_H = V_{OH} - V_{IH} \Rightarrow NM_H = 2.125\ V$$

$$NM_L = V_{IL} - V_{OL} \Rightarrow NM_L = 2.125\ V$$

ز) توان مصرفی استاتیک:

$$P_S = V_{DD} \times \left(\frac{I_{OH} + I_{OL}}{2}\right) = 5 \times \frac{0+0}{2} = 0$$

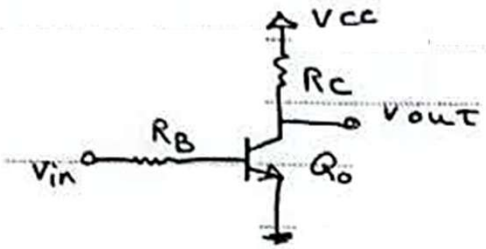
دانشگاه سمنان
Semnan University
پردیس فرزانگان

پیاده سازی گیت ها با ترانزیستورهای دوقطبی (BJT)

در قسمت قبل گیتهای مختلف را با ترانزیستور MOS پیاده سازی کردیم. در اینجا می خواهیم این گیت ها را با ترانزیستورهای BJT پیاده سازی کنیم. در ادامه ۳ منطق زیر را خواهیم دید:

RTL و DTL و TTL

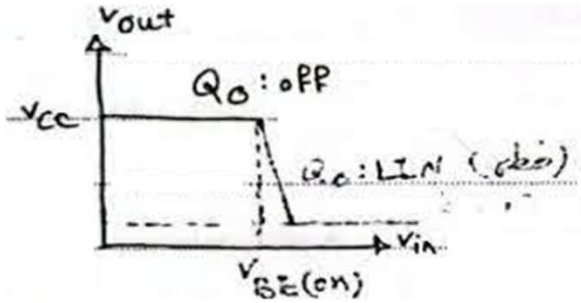
۱- منطق RTL: در این منطق از مقاومت و ترانزیستور استفاده می کنند. معکوس کننده ای پایه در این منطق به صورت زیر است:



هنگامیکه ورودی low است ترانزیستور خاموش است و جریانی از Rc نمی گذرد. (وقتی ترانزیستور خاموش باشد مثل کلید باز است.) و خروجی high خواهد بود.

هنگامیکه ورودی high است ترانزیستور به سمت اشباع رفته و خروجی به زمین وصل شده و در نتیجه low خواهد بود (ترانزیستور مثل کلید بسته است و خروجی به زمین وصل است.)

دانشگاه سمنان
Semnan University
پردیس فرزانگان



1. V_{OH} (حداکثر خروجی) : در این حالت ورودی بالا است.

$$V_{IL} \rightarrow Q_0 : off \Rightarrow I_C = 0 \Rightarrow V_{out} = V_{CC} - \beta \cancel{I_C}^{\,0}$$

$$\Rightarrow V_{OH} = V_{CC}$$

2. V_{IL} : با افزایش ورودی ترانزیستور به سمت روشن شدن می رود. وقتی ورودی شود $V_{BE(on)}$ با روشن شدن ترانزیستور خروجی شروع به کاهش می کند.

$$V_{IL} = V_{in} = V_{BE(on)}$$

3. V_{OL} : اگر ورودی را بیشتر افزایش دهیم ترانزیستور به سمت ناحیه اشباع می رود. هرچی ورودی را افزایش خروجی ثابت می ماند.

$$V_{out} = V_{OL} = V_{CE(SAT)}$$

دانشگاه سمنان
Semnan University
پردیس فرزانگان

ابتدا فرض می‌کنیم در استانه یک V_{IH} ...

و چون در مرز هست یک KVL نیز در ورودی نوشتیم.

در خودمان نوشتیم: KVL یک

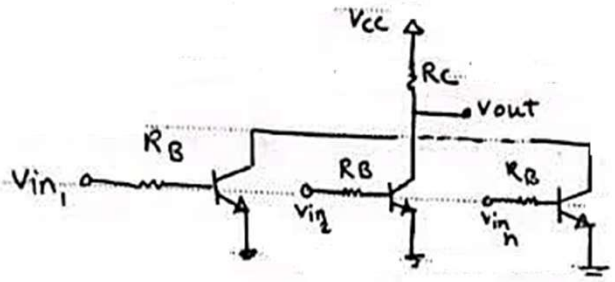
$$Q_O : SAT \rightarrow \quad I_C = \frac{V_{CC} - V_{CE(SAT)}}{R_C}$$

$$Q_O : LIN \Rightarrow I_B = \frac{I_C}{\beta} = \frac{V_{CC} - V_{CE(SAT)}}{\beta R_C}$$

$$KVL: V_{in} = V_{IH} = R_B I_B + V_{BE(on)}$$

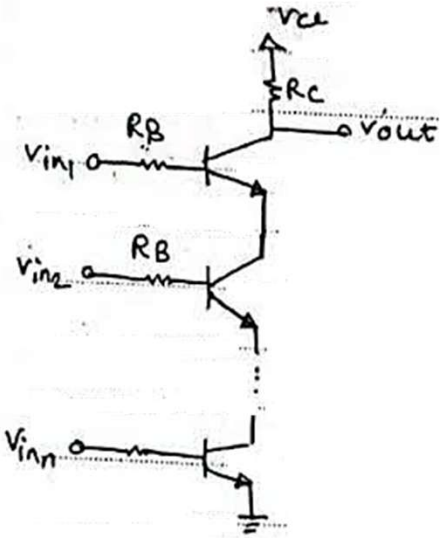
$$= \frac{R_B}{\beta R_C}\left(V_{CC} - V_{CE(sat)}\right) + V_{BE(on)}$$

دانشگاه سمنان
Semnan University
پردیس فرزانگان



گیت NOR:

$$V_{out} = \overline{V_{in_1} + V_{in_2} + \cdots + V_{in_n}}$$

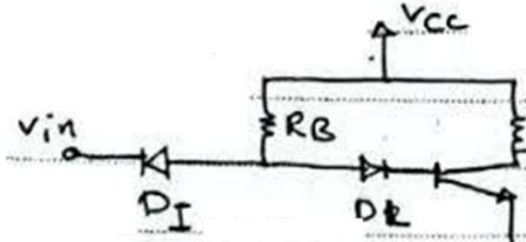


گیت NAND:

$$V_{out} = \overline{V_{in_1} \cdot V_{in_2} \cdots V_{in_n}}$$

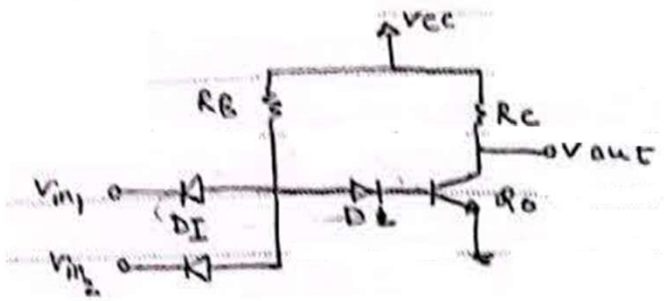
دانشگاه سمنان
Semnan University
پردیس فرزانگان

۲- منطق DTL: در این منطق از دیود نیز استفاده می‌شود.

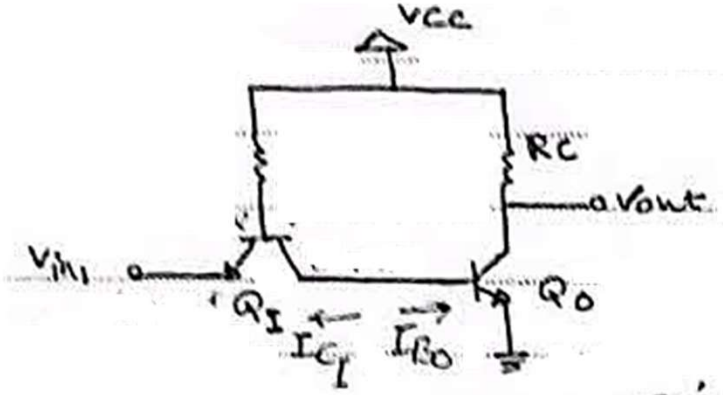


هنگامیکه ورودی LOW است D_I روشن شده در نتیجه ترانزیستور خاموش می‌شود و مانند قبل خروجی high می‌شود. هنگامیکه ورودی high است D_I قطع شده در نتیجه D_L و Q_0 وصل می‌شود و خروجی LOW خواهد شد.

گیت NAND:



۲- منطق TTL: در این منطق به جای دو دیود D_1 و D_2 از یک ترانزیستور چند امیتره استفاده می‌شود.



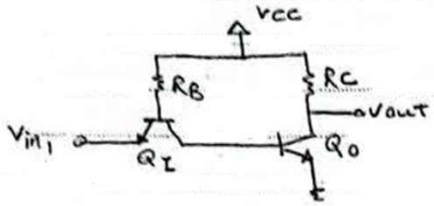
* (دو دیود پشت سر یک ترانزیستور است.)

هنگامی که ورودی LOW است Q_1 به سمت اشباع رفته و جریان Q_0 را در کلکتور آن را قطع می‌کند در نتیجه خروجی high خواهد شد. هنگامی که ورودی high است، Q_1 در حالت فعال معکوس بوده و Q_0 را اشباع می‌کند و خروجی LOW خواهد شد.

دانشگاه سمنان
Semnan University
پردیس فرزانگان

به دست آوردن نقاط مهم منحنی انتقال ولتاژ

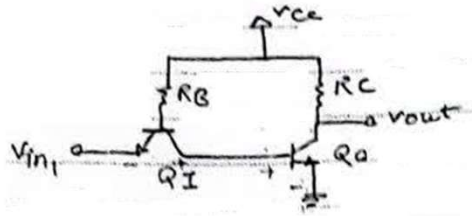
۱. V_{OH} : همانگونه که ورودی LOW است ،



$V_{IL} = Q_1 : SAT$ ، $Q_0 : OFF \Rightarrow I_{C_0} = 0$

$\Rightarrow V_{out} = V_{OH} = V_{CC} - R_C I_C = V_{CC}$

۲. V_{IL} : با افزایش ورودی Q_1 همچنان اشباع بوده و Q_0 شروع به وصل شدن می‌کند.



$-V_{in} - V_{CE_1}(SAT) + V_{BE}(FA) = 0$

$\Rightarrow V_{in} = V_{IL} = V_{BE_0}(FA) - V_{CE_1}(SAT)$

۳. V_{IH} : اگر ورودی را افزایش دهیم Q_0 از حالت خطی وارد اشباع می‌شود. با KVL در حلقه داریم،

$-V_{in} - V_{CE_1}(SAT) + V_{BE_0}(SAT) = 0$

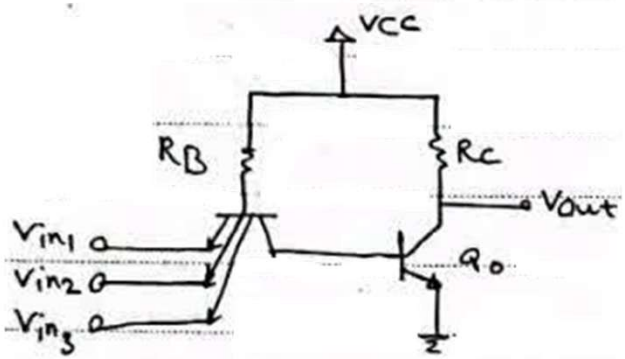
$\Rightarrow V_{in} = V_{IH} = V_{BE_0}(SAT) - V_{CE_1}(SAT)$

۴. V_{OL} :

$V_{out} = V_{OL} = V_{CE_0}(SAT)$

دانشگاه سمنان
Semnan University
پردیس فرزانگان

گیت NAND : گیت NAND از سری یک ترانزیستور که دارای چند امیتر است و بهمان ترانزیستور
حالتی امیتر می گوئیم ، انجام می شود:



هرگز نمیرد آن که دلش زنده شد به عشق
ثبت است بر جریده عالم دوام ما